

# 中國文化大學教師教學創新暨教材研發獎勵期末成果報告書

## 壹、計畫名稱

- 積體電路設計人才培育計畫

## 貳、實施課程、授課教師姓名

- 實施課程：CMOS 積體電路(H022)
- 授課教師：張家宏

## 參、前言

半導體產業在過去三十年來的發展在國內一直佔有舉足輕重的地方，從一開始的工研院發跡，投入許多資源造就今日輝煌的成績。而摩爾定律一直到現在也大致上符合其預測的曲線走行進，隨著製程的演進，在同一片晶圓底下可以擺更多電路，使得成本下降，效率提高。另外在良率上面從過去一開始發展半導體產業的70%也拉高接近100%，使得可以大量生產以CMOS為主的電路晶片，CMOS積體電路設計人材一直是國內重視的發展方向之一，但其培育養成的門檻較高，且製程愈來愈先進，設計的電路晶片愈來愈複雜，需要考慮的非線性因素愈來愈多，因此更需要投入較大的資源在上面。本計畫的目的最主要有系統性的培育IC設計人材，在晶片設計養成學習的路上能夠具備信心，建立起基礎的能力，也將此課程定位為大四的積體電路相關先修課程，為之後的研究所做好準備。因此在課程的規劃上將會採取一些實作的方式以及輔助學生觀念理解的模式進行教學，進而引起學生的學習動機，以期縮短產學落差以及提升國內晶片設計技術的發展。

## 肆、計畫特色及具體內容

本課程內容包含三個面向：

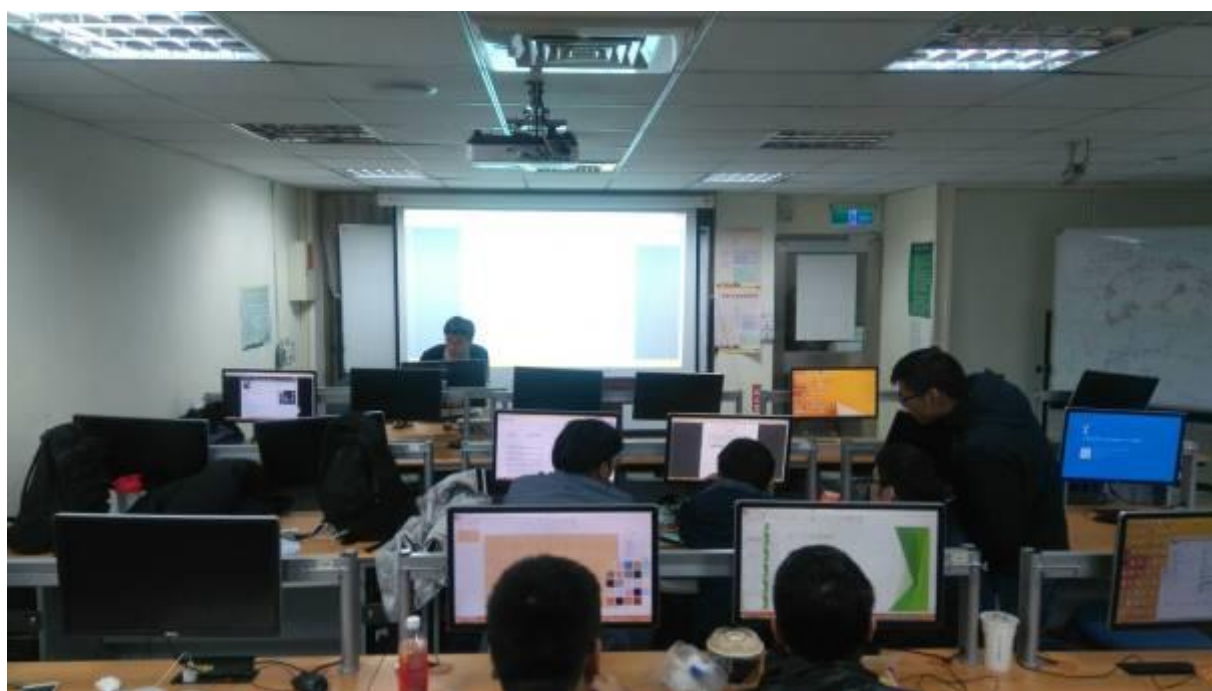
### (1) 採取實務導向的方式來進行課程規劃

因為上課地點在大義314數位教室，搭配課程的進行讓每位同學都有可以自行設計積體電路的機

會，並期待藉由實務上的練習來比較與理論上的情況有何不同。傳統的教學方式僅以教科書上的簡易小訊號模型及架構來解釋電路，並未考慮到電容電感等寄生效應，此與產業上的連結有一定程度的落差，無法提高學生的學習意願與就業的準備度。因為輔以實務教學將教科書上的電路架構加以實現，模擬結果一定會比理論上的情況還差，但可以透過調整相關參數以及架構上的改變讓整體效能變好，也讓學生除了可以自行思考、動手作，帶給學生更直接的感覺，更可與理論做結合，觀察其差異性及產生不一致的原因。課程規劃上會有大量的實作機會，隨著課程進行就提供學生模擬練習機會，並搭配上機實作測驗來檢驗學生學習效果。依此方式進行以期讓學生更了解相關半導體積體電路之應用與設計，從實務的觀點去了解理論也會使得學生的學習過程較有趣有成就感，而不是枯燥乏味的CMOS理論課程。實務模擬包含差動放大器、雜訊分析、低壓式電流鏡、疊接組態、運算放大器等相關電路。（如後面章節所示之其中一位學生實作之結果）

下圖為上機實作時的上課情形，給同學互相討論的機會，並於上課時與同學探討實務問題。





## (2) 數位學習電子筆記教學模式

第二個部分為採用數位學習電子筆記教學的方式進行，利用平板電腦將教學投影片直接投影到電子布幕並切換所有學生的電腦畫面進行授課，授課過程中將利用電子筆在平板電腦上直接畫寫，以邊教學邊將內容重點註記在數位講義上，儲存並形成電子筆記以供學生做課後學習與討論。因透過這樣的方式直接書寫並利用無線投影且廣播至所有學生的電腦，除了將筆記內容以電子方式

儲存下來之外，在上課過程中因無線投影方式可以隨時觀察每位同學的學習狀況，有問題也可以即使回答同學的疑問，提供了與同學較近距離接觸的機會。若將課堂上的學生分為積極型，偶爾缺課型以及少部份常常缺席的學生。透過課程計劃的安排提供教學投影片與補充的電子數位筆記，輔助在授課過程中實務上所會面臨到哪些問題並註記在原先投影片上，同學可以減少抄筆記的時間，更加專心於課堂講解。在實施的效果上可以觀察到學生因為減少筆記抄寫時間，加上老師能從後方即時了解同學學習狀況，每位同學在學習上皆能較專心聽講，減少以往傳統教學學生專注力不佳的問題。此外，詢問過每位同學後，他們也覺得此種方式會增加彼此之間的學習風氣，增加可以互相討論的機會。對於積極的學生而言，在課後學習上可以直接進行複習，而對於偶爾缺席的同學透過此種方式，對課程的銜接上也會較容易，不致於少上一兩門課後導致後面完全聽不懂，尤其是CMOS半導體重要觀念的釐清，有助於減少直接放棄此科目的比率；而少部份常常缺席的學生因本身學習動機就不佳，即使有講義的方式也很難自讀了解，透過數位筆記的方式較詳細的說明相關內容，至少提供一個數位學習的管道可與同學間互相討論，以增加學生的學習意願，減少在學習積體電路的相關課程中失去信心與學習動力的機會。

下面為數位電子筆記之授課時照片：

**共源極組態**

計算輸出阻抗之模型。

$$Z_x = \frac{1}{C_{eq} s} \parallel \left( \frac{C_{GD} + C_{GS}}{C_{GD}} \cdot \frac{1}{g_{m1}} \right)$$

其中  $C_{eq} = \frac{C_{GD} C_{GS}}{C_{GD} + C_{GS}} = C_{GD} / C_{GS}$

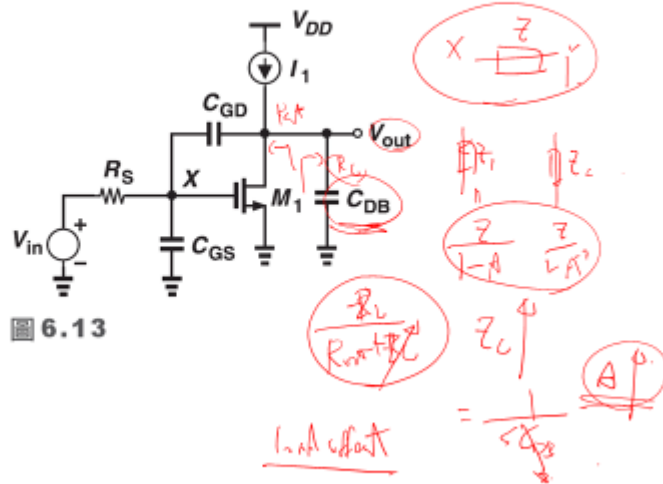
$$\omega_{out} = \frac{1}{\left[ R_D \parallel \left( \frac{C_{GD} + C_{GS}}{C_{GD}} \cdot \frac{1}{g_{m1}} \right) \right] (C_{eq} + C_{DB})}$$

$$A(s) = \frac{V_{out}}{V_{in}}(s) = \frac{-g_m R_D}{\left( 1 + \frac{s}{\omega_{in}} \right) \left( 1 + \frac{s}{\omega_{out}} \right)}$$

min pole freq.  $\omega_{in}$   
max pole freq.  $\omega_{out}$

### 例題 6.5

對於圖6.13所示之電路，計算其轉移函數( $\lambda=0$ )，並解釋當  $C_{DB}$  增加時，為何米勒效應會消失。



### (3) 分組討論積體電路的最新相關論文並上台報告

其三為在期末的時讓學生就積體電路的最新相關論文做分組報告，探討最近的半導體技術以及電路效能上的表現可以到什麼樣的程度，以期讓學生了解最新發展方向。此外透過分組上台報告的方式亦可讓學生學習團隊合作、口頭報告及內容組織規劃的能力。下圖為同學分組報告時的情況。



## 伍、實施成效及影響（量化及質化）

### (1) 學習量化方面：

期中考20%、期末專題報告20%、期末Paper study20%、上機實作測驗20%以及出席成績佔20%

學生數：29人

上機實作：6次（4次上機考試、2次分組討論）

期末專題報告：多級疊接組態之運算放大器CMOS積體電路模擬

期刊/會議論文上台報告：近五年內半導體相關或積體電路相關論文

出席率及相關管考機制之學生學習狀況

No.	Attendance	_CLB&code_curre	Midterm	lab2_diffAm	Final report_1	Lab3	Final Report_2	Final exam
1	14/18	✓	✓	✓	✗	✓	✓	✓
2	12/18	✗	✓	✓	✗	✓	✓	✓
3	16/18	✓	✓	✓	✓	✓	✓	✓
4	18/18	✓	✓	✓	✗	✓	✓	✓
5	16/18	✓	✓	✓	✓	✓	✓	✓
6	16/18	✓	✓	✓	✗	✓	✓	✓
7	16/18	✓	✓	✓	✗	✓	✓	✓
8	16/18	✓	✓	✓	✓	✓	✓	✓
9	18/18	✓	✓	✓	✓	✓	✓	✓
10	16/18	✓	✓	✓	✓	✓	✓	✓
11	16/18	✓	✓	✓	✗	✓	✓	✓
12	16/18	✓	✓	✓	✓	✓	✓	✓
13	10/18	✗	✗	✓	✗	✓	✓	✓
14	13/18	✗	✗	✓	✗	✓	✓	✓
15	16/18	✓	✓	✓	✗	✓	✓	✓
16	16/18	✓	✓	✓	✓	✗	✓	✓
17	18/18	✓	✓	✓	✓	✓	✓	✓
18	14/18	✓	✓	✓	✗	✓	✓	✓
19	14/18	✓	✓	✓	✗	✓	✓	✓
20	10/18	✓	✓	✓	✗	✓	✓	✓
21	12/18	✓	✗	✓	✗	✓	✓	✓
22	10/18	✓	✗	✓	✓	✗	✓	✓
23	16/18	✓	✓	✓	✓	✓	✓	✓
24	12/18	✓	✗	✓	✓	✗	✓	✓
25	14/18	✓	✓	✓	✗	✓	✓	✓
26	16/18	✓	✓	✓	✗	✓	✓	✓
27	17/18	✗	✓	✓	✓	✗	✓	✓
28	18/18	✓	✓	✓	✗	✓	✓	✓

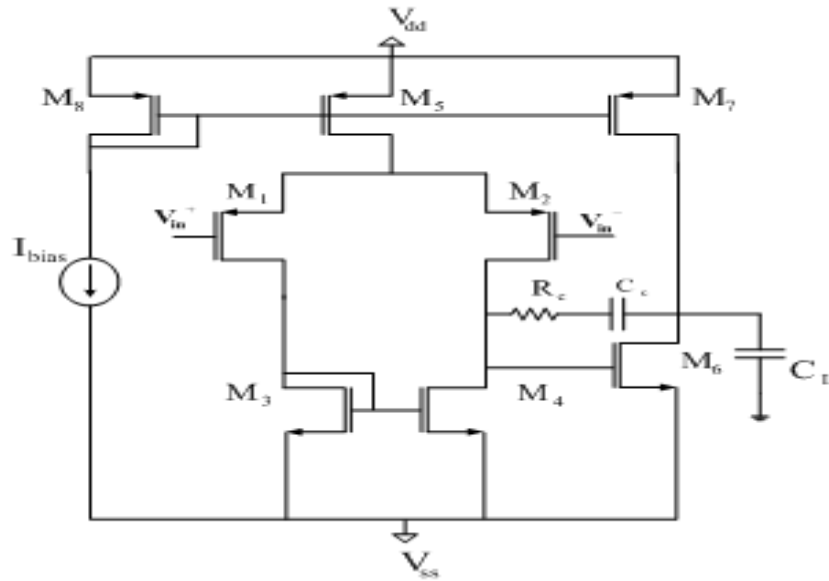
- i). 就出席率而言，透過實務以及上機實作測驗較能引起學生興趣來聽課，所以出席狀況普遍較高，且本課程加入數位電子筆記也能讓少數幾次缺席的同學能接的上，所以整體而言出席率仍算不錯。
- ii). 上機實作部分有少數人並做的出來，可以顯見有些單元對部分學生來說仍然有點吃力(以類比電路設計實例為作業讓學生練習)。
- iii). 期中考的部分可以觀察就數位筆記學習的方式能否讓學生更專心聽課，減少抄寫筆記的時間，從成績上來看大部份同學都考的不錯，只有少數一兩位考的不甚理想。
- iv). 期末專題報告方面所有同學皆有繳交，雖然少數同學在一些單元電路的模擬並沒有完成上機實作，但在期末專題報告上皆有完成整體電路的設計。
- v). 期刊／會議論文閱讀並上台報告的部分也是所有同學皆有完成，但從台上的表現上來看，有些同學報告的並不是很好，投影片製作的也不是很用心。詢問過其原因主要是因為英文的部分不太了解，有些專有名詞不懂而導致整篇論文看不太懂。

## (2) 學習質化方面：

就學生的學習質化方面來探討，透過期末專題報告，搭配模擬積體電路軟體Hspice執行相關電路上機實作演練並進行測驗，討論理論與實務的差異性，以增加學生的學習動機與學習態度。此外搭配數位筆記的方式來提昇學習效果，詢問同學這樣上課方式，大部分同學皆喜愛這種學習模擬，可以減少抄寫筆記時間，上課時間與課後複習皆較能達到好的學習效果。此外也因為對實務上的練習比率增加許多，在期刊／會議論文閱讀上面，有些積極的同學甚至將論文上的電路進行模擬驗證，從這點看來有些學生對實務上已有相當的熟悉程度，可以在研究所前有一些基礎的訓練過程，也對未來在相關進階課程能建立信心並可以持續學習的態度。

- (3) 期末專題實作電路，以其中一位上課同學所模擬之兩級運算放大器為例，並做了RC電阻電容回授補償以增加穩定度：

Schematic:



➤ OPA Hspice Code:

.option post

.lib 'rf018.l' tt

vdd vdd gnd 1.8v

I1 vdd 10 20uA

V1 V1 gnd sin(0.9v 0.001v 10k 0n )

V2 V2 gnd sin(0.9v 0.001v 10k 0n 0 180)

\*V1 V1 gnd 0.9v ac 0.001v

\*V2 V2 gnd 0.9v

M1 3 2 vdd vdd pch l=0.5u w=18u M=4

M2 4 2 vdd vdd pch l=0.5u w=18u M=16

M3 5 2 vdd vdd pch l=0.5u w=18u M=20

M4 8 V1 4 vdd pch l=0.5u w=18u M=20

M5 9 V2 4 vdd pch l=0.5u w=18u M=20

M6 8 8 gnd gnd nch l=0.5u w=18u M=4

M7 9 8 gnd gnd nch l=0.5u w=18u M=4



```
M8 10 10 gnd gnd nch l=0.5u w=18u M=4
```

```
M9 3 10 gnd gnd nch l=0.5u w=18u M=4
```

```
M10 5 9 gnd gnd nch l=0.5u w=18u M=50
```

```
C 11 9 185.965f
```

```
R 11 5 5769.56
```

```
*.AC DEC 50 100 2000Meg
```

```
.probe vdb(5)
```

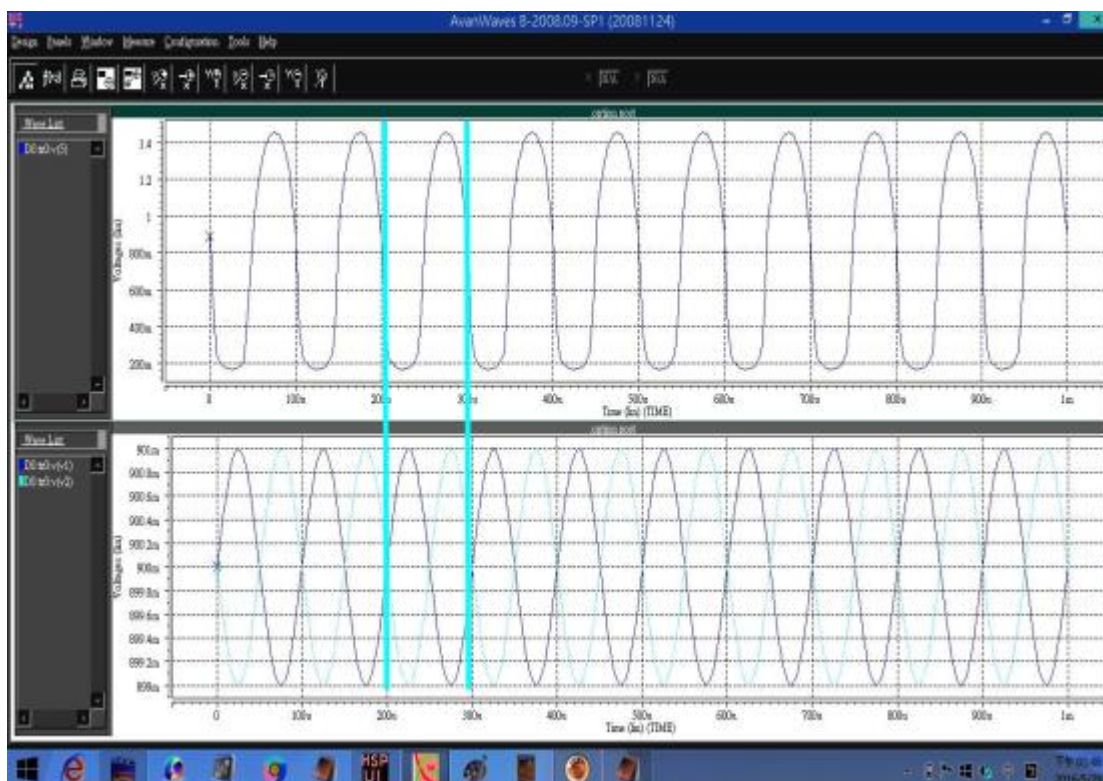
```
.op
```

```
.tran 50ns 1ms
```

```
.end
```

➤ Waveforms:

給予 V1 和 V2 個別的 SIN 訊號，給予 V1 訊號 0.9V、V2 訊號0.9V，但相位差 180 度產生出輸出 vout，從模擬圖可以很明顯的看出V1 和 V2 相差 180 度與輸出相比是原來訊號的二倍訊號。



➤ AC analysis:

option post

```
.lib 'rf018.l' tt
```

```
vdd vdd gnd 1.8v
```

```
I1 vdd 10 20uA
```

```
V1 V1 gnd 0.9v ac 1v
```

```
V2 V2 gnd 0.9v
```

```
M1 3 2 vdd vdd pch l=0.5u w=18u M=4
```

```
M2 4 2 vdd vdd pch l=0.5u w=18u M=16
```

```
M3 5 2 vdd vdd pch l=0.5u w=18u M=20
```

```
M4 8 V1 4 vdd pch l=0.5u w=18u M=20
```

```
M5 9 V2 4 vdd pch l=0.5u w=18u M=20
```

```
M6 8 8 gnd gnd nch l=0.5u w=18u M=4
```

```
M7 9 8 gnd gnd nch l=0.5u w=18u M=4
```

```
M8 10 10 gnd gnd nch l=0.5u w=18u M=4
```

```
M9 3 10 gnd gnd nch l=0.5u w=18u M=4
```

```
M10 5 9 gnd gnd nch l=0.5u w=18u M=50
```

```
C 11 9 185.965f
```

```
R 11 5 5769.56
```

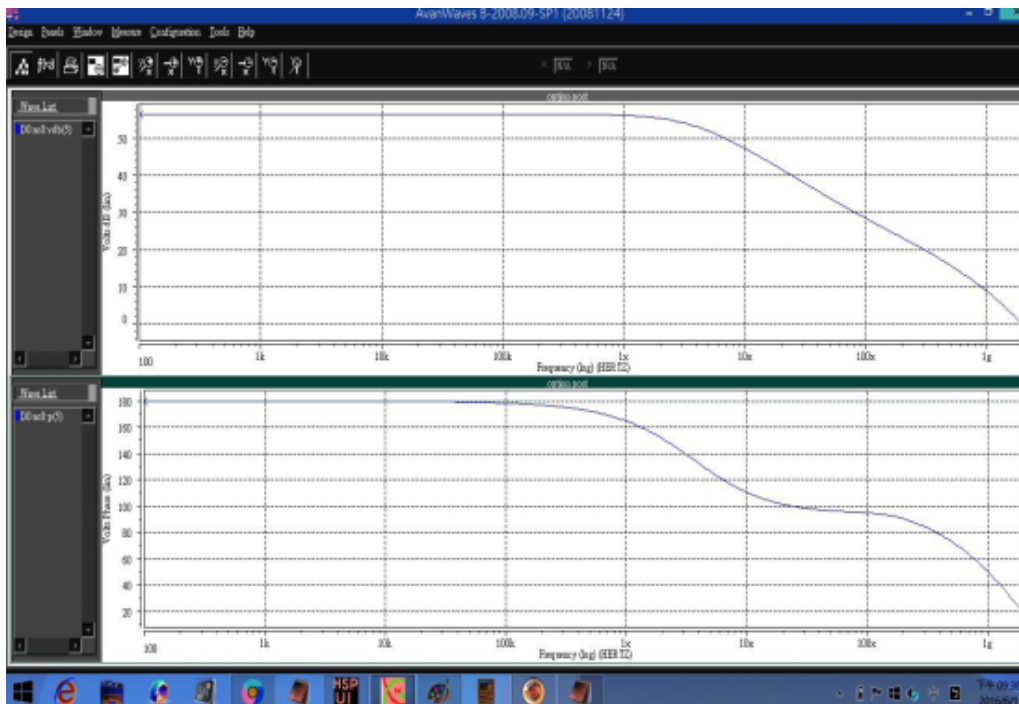
```
.AC DEC 50 100 2000Meg
```

```
.probe vdb(5)
```

```
.op
```

```
.end
```

➤ Gain & phase margin analysis



➤ Transistors characteristics:

subckt	0:m1	0:n2	0:m3	0:n4	0:m5	0:m6
element	0:pch.3	0:pch.3	0:pch.3	0:pch.3	0:pch.3	0:pch.3
model	Linear	Linear	Linear	Saturati	Saturati	Saturati
region	Linear	Linear	Linear	Saturati	Saturati	Saturati
id	-23.8021n	-4.1692m	-26.2592n	-2.0846m	-2.0846m	2.0846m
ibs	3.406e-21	5.964e-19	3.7503a	906.3985a	906.3985a	-3.423e-19
ibd	16.2621a	725.1700a	941.1565a	950.6476a	950.6476a	-96.3993f
vgs	-1.8000	-1.8000	-1.8000	-790.2029m	-790.2029m	753.5354m
vds	-2.3800m	-109.7971m	-909.6805m	-936.6676m	-936.6676m	753.5354m
vbs	0.	0.	0.	109.7971m	109.7971m	0.
vth	-466.6127m	-466.5871m	-466.3745m	-501.2201m	-501.2201m	487.6802m
vdsat	-956.5351m	-956.5391m	-956.6171m	-260.7597m	-260.7597m	239.0761m
vod	-1.3334	-1.3334	-1.3336	-288.9828m	-288.9828m	265.8552m
beta	8.2018n	32.8075m	41.0119m	50.4864m	50.4864m	61.9383m
gam eff	523.6662m	523.6656m	523.6634m	520.8993m	520.8993m	499.9788m
gn	11.7222u	2.2136m	26.1574n	12.4754m	12.4754m	12.7094m
gds	9.9937n	35.9110m	8.6157n	141.9171u	141.9171u	130.7227u
gnb	7.9645u	1.4217m	10.9539n	3.9813m	3.9813m	3.5068m
cdtot	485.9392f	1.8320p	484.7737f	417.0607f	417.0607f	79.2832f
cgtot	341.7190f	1.3634p	1.4421p	1.3498p	1.3498p	267.1169f
csot	425.5699f	1.6795p	1.8192p	1.7022p	1.7022p	325.1378f
cbtot	244.7726f	951.6434f	1.0179p	1.0114p	1.0114p	184.2868f
cgs	183.1728f	766.2768f	1.3130p	1.1880p	1.1880p	227.7265f
cgd	169.4326f	640.4390f	140.5068f	117.9549f	117.9549f	26.4198f

subckt	0:n7	0:m8	0:n9	0:m10
element	0:nch.3	0:nch.3	0:nch.3	0:nch.3
model	Saturati	Cutoff	Cutoff	Saturati
region	Saturati	Cutoff	Cutoff	Saturati
id	2.0846m	20.0000u	23.7779u	26.2592m
ibs	-3.423e-19	-3.287e-21	-3.907e-21	-4.3119a
ibd	-96.3993f	-223.5600a	-24.2283n	-157.4824p
vgs	753.5354m	413.3191m	413.3191m	753.5354m
vds	753.5354m	413.3191m	1.7976	890.3195m
vbs	0.	0.	0.	0.
vth	487.6802m	487.7713m	487.3558m	487.6392m
vdsat	239.0761m	52.7635m	52.8352m	239.1021m
vod	265.8552m	-74.4522m	-74.0368m	265.8961m
beta	61.9383m	64.3747m	64.3800m	774.2346m
gam eff	499.9788m	499.9792m	499.9792m	499.9788m
gn	12.7094m	454.5140u	531.5953u	160.0086m
gds	130.7227u	3.3464u	2.6098u	1.3465m
gnb	3.5068m	127.7210u	149.1587u	44.1326m
cdtot	79.2832f	84.2416f	70.0873f	969.6279f
cgtot	267.1169f	124.4033f	124.5169f	3.3383p
csot	325.1378f	112.9800f	113.2013f	4.0645p
cbtot	184.2868f	187.2413f	173.0999f	2.2832p
cgs	227.7265f	41.0177f	41.1613f	2.8461p
cgd	26.4198f	26.3787f	26.3758f	329.7739f

## 陸、結論

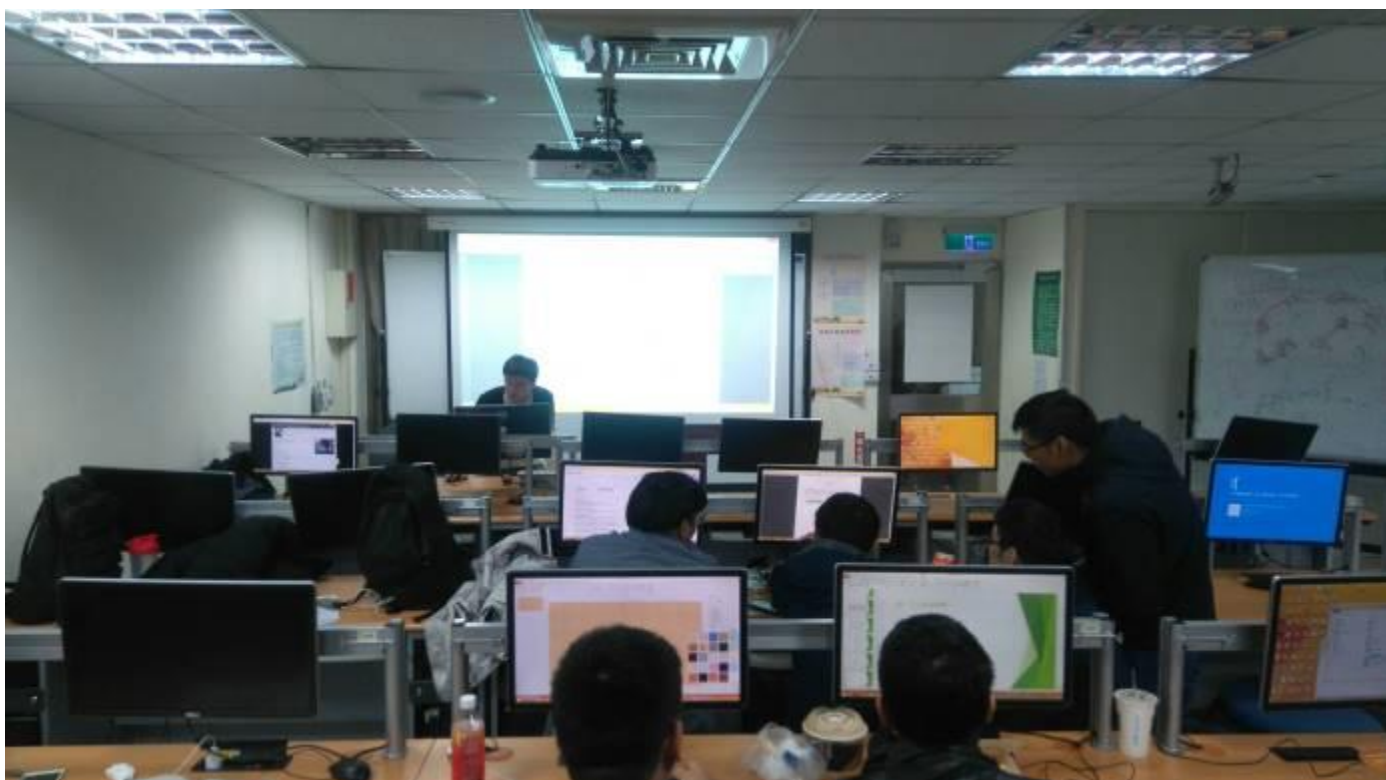
本計畫為培育積體電路設計人才進行規劃，以實務為主的方式來引入積體電路相關的理論觀念，並進行實作練習。從學生的上機測驗、期末專題報告、出席率、期中考成績以及上台報告的綜合表現上，可以看出學生的參與程度與興趣有明顯增加，透過上述管考機制讓學生更加了解半導體相關產業發展與實務之連結。從上課與老師的互動程度來看可以判斷大部分同學在積體電路領域的學習上仍然維持一定程度的興趣，不會因為理論太過深奧而放棄學習，如此有助於同學在未來上研究所或進入職場工作時能對相關產業有一定程度的了解，整體的課程規劃具有正面的學習效果。

## 柒、執行計畫活動照片















## 捌、附件

光碟片

備註：

1. 本報告書大綱得視需要自行增列項目。
2. 成果報告書須另以光碟儲存，並附加執行計畫活動照片電子檔。