

中國文化大學教師教學創新暨教材研發獎勵期末成果報告書

壹、計畫名稱

- 提昇晶片設計實務能力教學研發計畫

貳、實施課程、授課教師姓名

- 實施課程：CMOS 積體電路設計
- 授課教師：張家宏

參、前言

半導體產業是在台灣科技業裡扮演著舉足輕重的角色，也因此造就了國內過去一、二十年來的經濟奇蹟，然而隨著先進製程的演進以及積體電路愈來愈複雜，在晶片電路設計上的考量已經漸漸脫離傳統書本上的簡易模型，且在實務上因為電路與製程本身寄生效應的關係而產生許多不確定性因素，也因此大大的增加了晶片設計的困難度。此外，若以傳統的教學方式較偏重於教科書上的內容會使得與產業界所需要的基礎能力有一定程度的落差。有鑑於此，本課程有系統的規劃與培育晶片設計之人才，適用於電機系大四之應屆畢業生，協助學生培養積體電路設計之相關基礎能力，以縮短產學落差以及提升國內晶片設計技術的發展，讓學生能有積體電路及半導體等相關理論兼具實務的知識與技能。

肆、計畫特色及具體內容

本課程內容包含兩個面向：

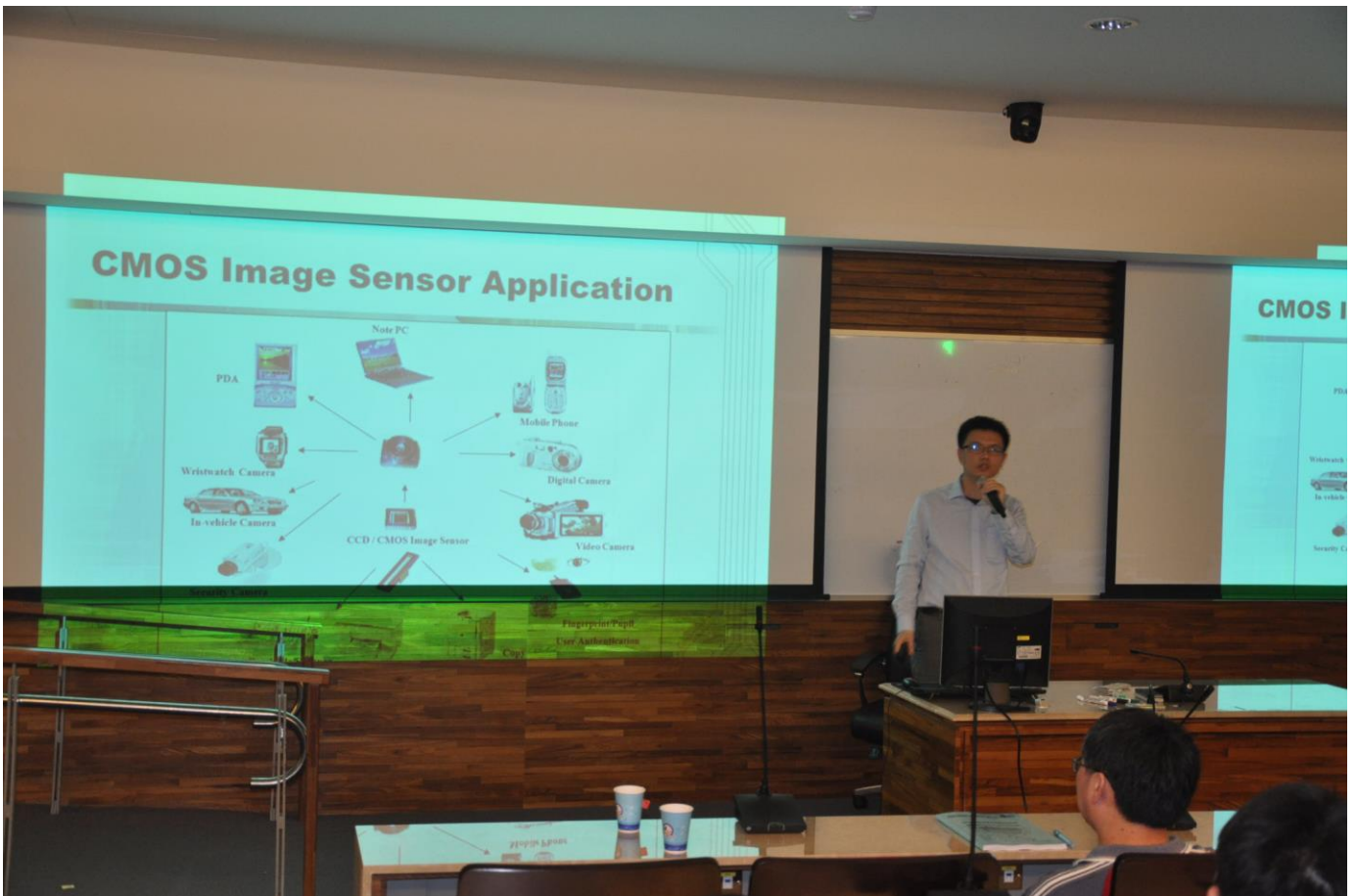
(1) 半導體及積體電路設計基礎知識

本計畫執行之課程規劃相較於以往的教學方法，提出創新的教學模式。傳統的教學方式僅以教科書上的簡易電路模型及架構來設計電路，無法提高學生的學習意願，且對於學生的就業準備度也不夠。因此，在講授課程中穿插了一些實務晶片設計技巧於課程當中，並且以實例介紹進而引入半導體及積體電路設計基礎觀念。

(2) 電路設計實務經驗講授及專題實作

在晶片設計領域上，製程資料一直都是晶圓廠如台積、聯電等公司之極為保密之資料，若無法取得這些資料，學生所設計之電路無法貼近實際下線之狀況，較難具備晶片設計之基礎能力。因此，除了基礎課程知識的傳授之外，實務經驗及專題實作的部分是本課程著重的地方，以實際的電路說明設計理論及模擬驗證，讓學生以漸近式的方式熟悉整體晶片設計下線的全部流程，從電路設計、電路佈局、佈局驗證方法、萃取寄生效應的後佈局模擬到以符合下線之晶片電路。

此外，為了進一步增加學生的學習動機與學習興趣，本人於系上舉辦之 2015 年先進電子電機科技研討會，以專題演講的方式介紹與本課程相關之 CMOS 積體電路設計應用領域，演講題目遙測應用之 CMOS 影像感測器，並讓上課學生撰寫心得報告。從學生的心得報告中得知，同學們覺得此課程對於未來不管是往積體電路領域唸研究所或是於半導體相關科技業工作都有很大的幫助，也因此更了解 CMOS 積體電路設計的相關應用領域，也達到了增進同學們的學習興趣。





伍、實施成效及影響（量化及質化）

(1) 學習量化方面：

期末成績25%、期中專題報告40%、出席10%、心得報告和作業20%。

學生數：18人

作業數目：5次

專題報告：類比運算放大器晶片設計電路

心得報告：1份（6人未繳交）

平時考：2次（未成績計算）

出席率及相關作業報告繳交狀況

	出席	作業1	作業2	作業3	作業4	作業5	心得報告	期中專題報告
□	18/18	✓	✓	✓	✓	✓	✓	✓
2	18/18	✓	✓	✓	✓	✓	✓	✓
3	18/18	✓	✓	✓	✓	✓	✗	✓
4	11/18	✓	✓	✓	✓	✗	✓	✓
5	11/18	✓	✓	✓	✗	✗	✓	✓
6	11/18	✓	✓	✓	✓	✗	✓	✓
7	18/18	✓	✓	✓	✓	✓	✓	✓
8	10/18	✓	✓	✗	✓	✗	✗	✓
9	10/18	✓	✓	✗	✓	✗	✗	✓
10	14/18	✓	✓	✓	✓	✓	✗	✓
11	18/18	✓	✓	✓	✓	✓	✓	✓
12	14/18	✓	✓	✓	✓	✓	✗	✓
13	10/18	✓	✓	✓	✓	✓	✓	✓
14	18/18	✓	✓	✓	✗	✓	✓	✓
15	18/18	✓	✓	✗	✗	✓	✓	✓
16	11/18	✓	✓	✓	✓	✓	✗	✓
17	9/18	✓	✓	✓	✓	✓	✓	✓
18	9/18	✓	✓	✓	✓	✓	✓	✓

(a) 就出席率而言，以實務為主的課程內容能引起學生興趣來聽課。

(b) 作業部分只有少數未繳交(以電路設計實例為作業讓學生練習)。

(c) 心得報告雖然部分學生沒有繳交，不過從學生的心得報告中得知，同學們覺得此課程對於未來不管是唸研究所或是於半導體相關科技業工作都有很大的幫助，也可以讓學生更了解CMOS積體電路設計的相關應用領域，進而提升學習興趣。

(d) 期中專題報告方面全部皆有繳交，但仍然部分同學並沒有完成晶片電路的模擬設計。

(e) 傳統考試如期末考及小考等評分方式。

(2) 學習質化方面：

學習質化方面，透過期中專題報告，積體電路設計相關案例作業，以增加學生的學習動機與學習態度，培養學生實作能力、解決問題的能力。所以從學生的學習態度來看可以達到質化的效果，而且也能學生的學習興趣。由學生的與老師的互動性、反應以及報告內容可以看出此課程安排規劃在學習質化方面具有正面的效果。

(3) 專題實作電路 (Hspice code)

1. Frequency response & Phase margin

```
Folded Cascode OP
```

```
.protect
```

```
.option post
```

```
.lib 'logs353v.l' tt
```

```
*****netlist*****
```

```
.unprotect
```

```
M1 3 11 1 7 nch W=7u L=0.35u M=5
```

```
M2 4 11 2 7 nch W=7u L=0.35u M=5
```

```
M3 1 12 7 7 nch W=18u L=0.35u M=18
```

```
M4 2 12 7 7 nch W=18u L=0.35u M=18
```

```
M5 6 9 8 8 pch W=20u L=0.35u M=30
```

```
M6 5 9 8 8 pch W=20u L=0.35u M=30
```

```
M7 1 16 14 8 pch W=20u L=0.35u M=30
```

```
M8 2 13 14 8 pch W=20u L=0.35u M=30
```

```
M9 14 15 8 8 pch W=25u L=0.35u M=65
```

```
M10 3 10 5 8 pch W=10u L=0.35u M=10
```

```
M11 4 10 6 8 pch W=10u L=0.35u M=10
```

```
vdd1 8 0 3.3v
```

```
vss1 7 0 0V
```

```
VB1 15 0 DC 2.6v
```

```
VB2 9 0 DC 2.5v
```

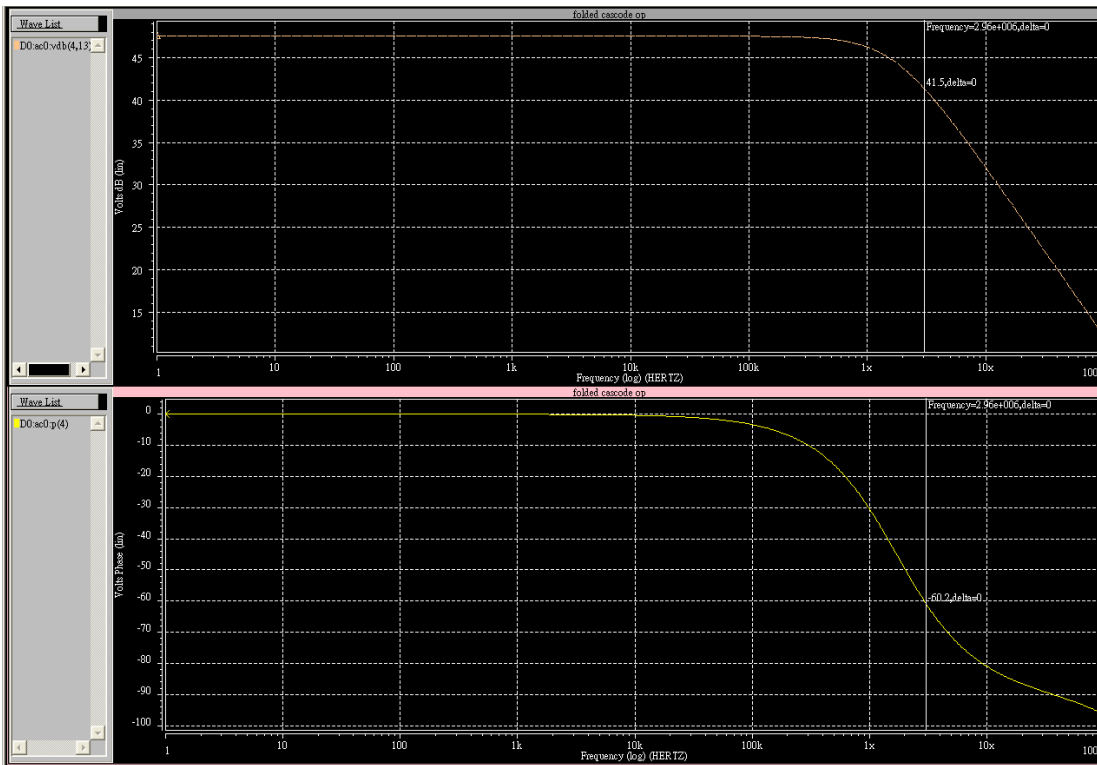
附件 6

```
VB3 10 0 DC 1.7v  
VB4 11 0 DC 1.4v  
VB5 12 0 DC 0.7v
```

```
CL1 3 0 2p  
CL2 4 0 2p
```

```
**small signal analysis**  
vin1 16 0 dc 0.8v ac 1m 0  
vin2 13 0 dc 0.8v ac 1m 180  
.ac dec 100 1Hz 0.1G
```

```
.plot vdb(4,13)
```



Differential Gain : 47 dB & Phase margin : 60 degree

2. Slew rate

Folded Cascode OP

```
.protect
```

```
.option post
```

```
.lib 'logs353v.l' tt
```

```
*****netlist*****
```

```
.unprotect
```

```
M1 3 11 1 7 nch W=7u L=0.35u M=5  
M2 4 11 2 7 nch W=7u L=0.35u M=5  
M3 1 12 7 7 nch W=18u L=0.35u M=18  
M4 2 12 7 7 nch W=18u L=0.35u M=18  
M5 6 9 8 8 pch W=20u L=0.35u M=30  
M6 5 9 8 8 pch W=20u L=0.35u M=30  
M7 1 16 14 8 pch W=20u L=0.35u M=30  
M8 2 13 14 8 pch W=20u L=0.35u M=30  
M9 14 15 8 8 pch W=25u L=0.35u M=65  
M10 3 10 5 8 pch W=10u L=0.35u M=10  
M11 4 10 6 8 pch W=10u L=0.35u M=10
```

```
vdd1 8 0 3.3v
```

```
vss1 7 0 0v
```

```
VB1 15 0 DC 2.6v
```

```
VB2 9 0 DC 2.5v
```

```
VB3 10 0 DC 1.7v
```

```
VB4 11 0 DC 1.4v
```

```
VB5 12 0 DC 0.7v
```

```
CL1 3 0 2p
```

```
CL2 4 0 2p
```

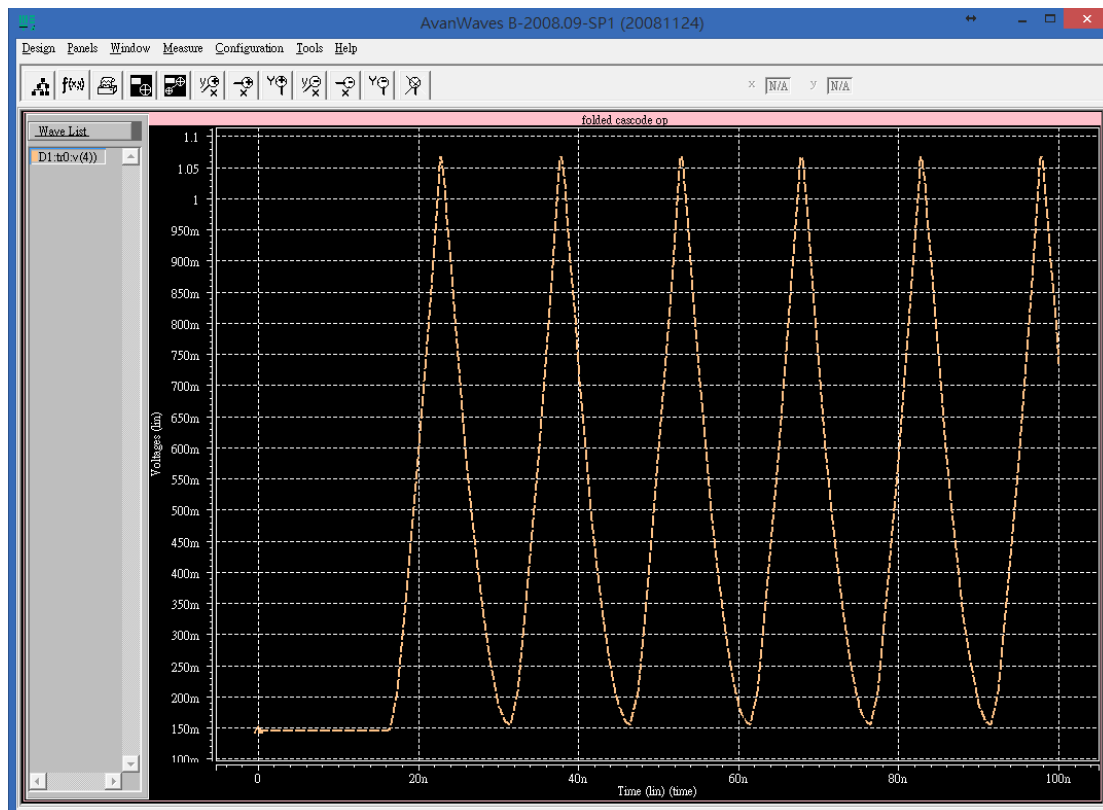
```
**slew rate**
```

```
vin1 16 0 pulse(0v 2v 15ns 0.1ns 0.1ns 7.5ns 15ns)
```

```
vin2 13 0 dc 0.8v
```

```
.tran 0.1ns 100ns
```

```
**end slew rate**
```

Slew rate > 350 V/ μ s

3. Output swing

Folded Cascode OP

.protect

.option post

.lib 'logs353v.l' tt

*****netlist*****

.unprotect

```

M1 3 11 1 7 nch W=7u L=0.35u M=5
M2 4 11 2 7 nch W=7u L=0.35u M=5
M3 1 12 7 7 nch W=18u L=0.35u M=18
M4 2 12 7 7 nch W=18u L=0.35u M=18
M5 6 9 8 8 pch W=20u L=0.35u M=30
M6 5 9 8 8 pch W=20u L=0.35u M=30
M7 1 16 14 8 pch W=20u L=0.35u M=30
M8 2 13 14 8 pch W=20u L=0.35u M=30
M9 14 15 8 8 pch W=25u L=0.35u M=65
M10 3 10 5 8 pch W=10u L=0.35u M=10
M11 4 10 6 8 pch W=10u L=0.35u M=10
    
```

附件 6

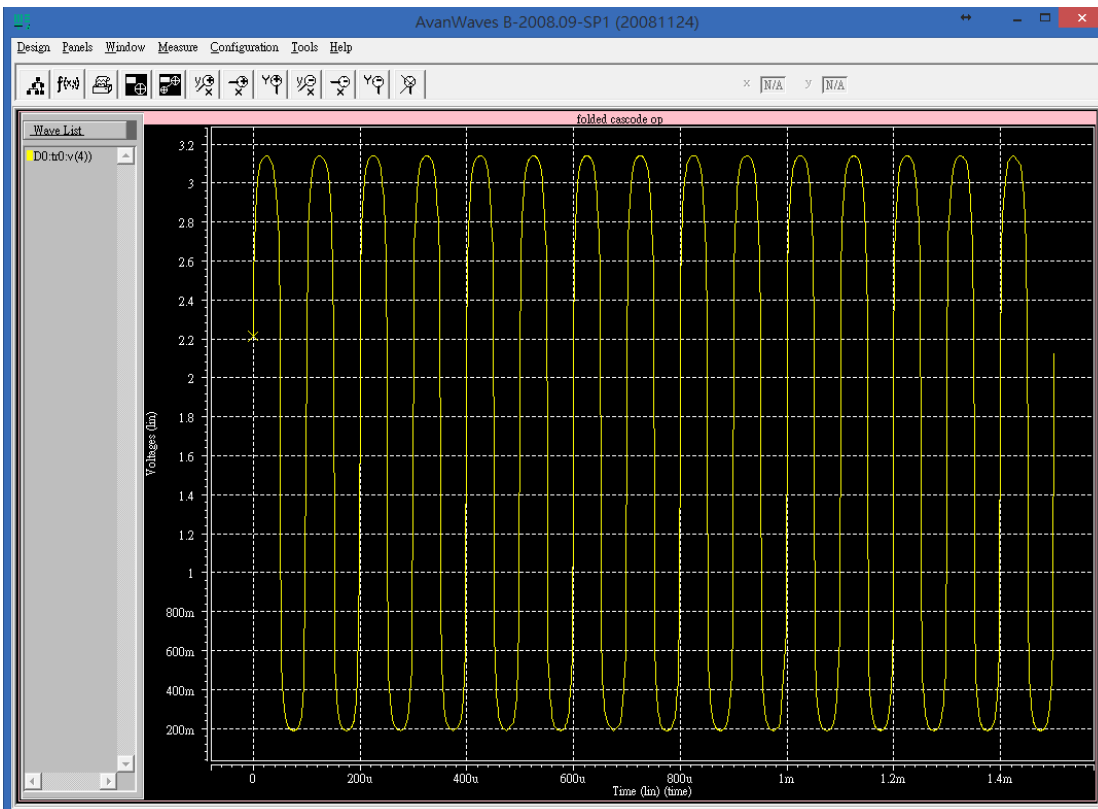
```
vdd1 8 0 3.3v  
vss1 7 0 0v  
VB1 15 0 DC 2.6v  
VB2 9 0 DC 2.5v  
VB3 10 0 DC 1.7v  
VB4 11 0 DC 1.4v  
VB5 12 0 DC 0.7v
```

```
CL1 3 0 2p  
CL2 4 0 2p
```

****output swing****

```
vin1 16 0 sin(0.8 0.05v 10k 0 0 0)  
vin2 13 0 sin(0.8 0.05v 10k 0 0 180)  
.tran lus 1.5ms  
.probe v(3,4) v(16,13)  
**end output swing**
```

```
.op  
.end
```



Output swing > 3 V

伍、 結論

本學期以此課程提出以實務方式融入傳統教學方式，的確可以提高學生學習興趣，多數學生認同他們需要以未來就業導向的課程規劃，就學習成效而言也達到了不錯的效果，相信大多數人對積體電路設計有了基礎的先備知識，也在未來畢業進入職場工作後能快速進入狀況，面對工作的挑戰。

陸、 執行計畫活動照片

因上課內容許多皆為晶圓廠之製程保密資料，與國家系統晶片中心與台積電、聯電等製程廠已簽訂保密合約，僅供教學及研究上使用，不得公開，所以並無拍攝照片。因此只附上專題演講活動相關照片如附件所示。

柒、 附件

光碟片

備註：

1. 本報告書大綱得視需要自行增列項目。
2. 成果報告書須另以光碟儲存，並附加執行計畫活動照片電子檔。