

中國文化大學教師教學創新暨教材研發獎勵成果報告書

壹、計畫名稱

提昇半導體積體電路設計技術教學計畫

貳、實施課程、授課教師姓名

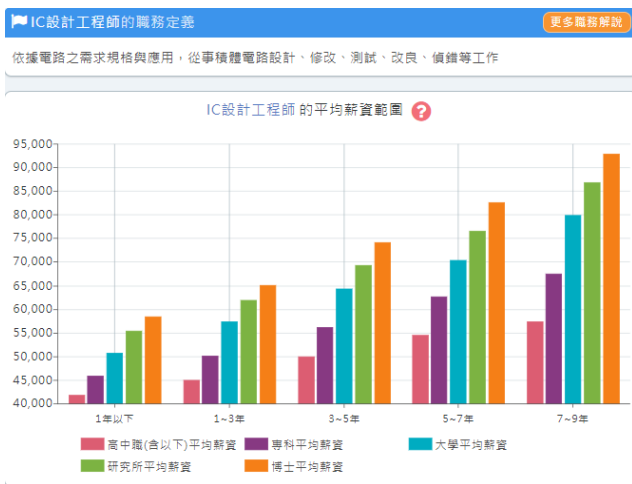
實施課程：CMOS積體電路

授課教師：陳信良

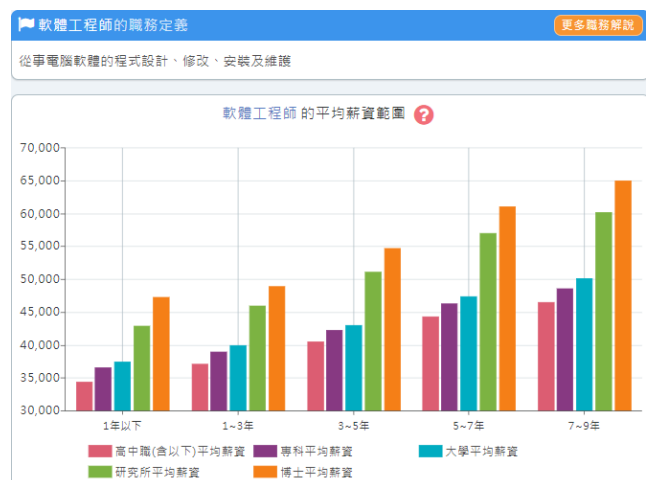
參、前言

半導體產業在台灣科技產業中扮演著領頭羊的角色，造就了國內過去幾十年來科技業的經濟奇蹟，然而隨著先進製程的演進以及積體電路愈來愈複雜，在晶片電路設計上的考量已經漸漸脫離傳統書本上的簡易模型，且在實務上因為電路本身寄生效應與製程偏異性的關係而產生許多不確定性因素，也因此大大的增加了晶片設計的困難度。若以傳統的教學方式較偏重於教科書上的內容會使得與產業界所需要的基礎能力有一定程度的落差。

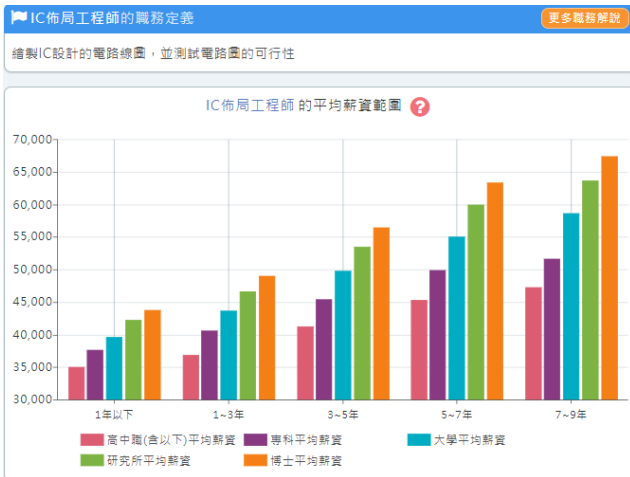
從就業機會與競爭力的角度來看，積體電路設計的能力絕對是一個加分的重點。如圖一中，104人力銀行的統計資料可以知道，積體電路設計工程師相對其他工作有較高的薪資收穫，對學生的人生未來有最直接的助益；另外，因為積體電路產業主要人力需求在研究生，故訓練學生電路設計同時，也意味著提供學生更多升學的機會與管道。



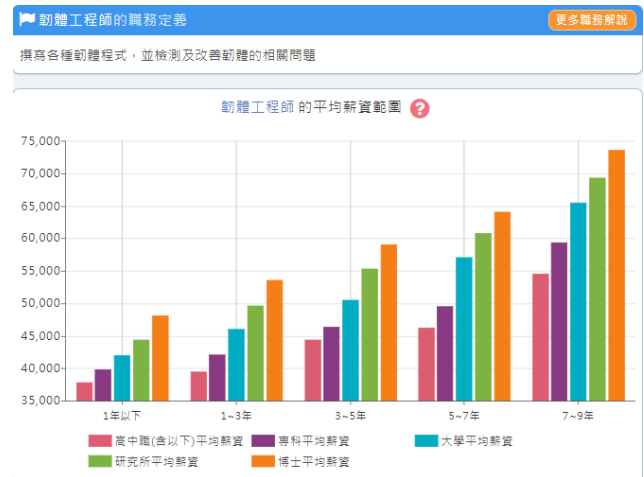
(a) IC設計工程師薪資資料



(b) 軟體工程師薪資資料



(c)IC佈局工程師薪資資料



(d) 韌體工程師薪資資料



(e)IC設計業就業學歷分佈

圖一、104人力銀行的統計資料

在物聯網與AI人工智慧等應用主流下，積體電路設計在各研究領域皆負有基礎能力與需求的角色，未來各跨領域的研究與發展中，皆需要積體電路技術來實現，如此已使積體電路設計成為學生之必要能力，而非過去單純的高科技產業，它已經是電子電機產業的基礎需求。有鑑於此，本課程有系統的規劃與培育晶片設計之人才，適用於電機系大三的學生，協助學生培養積體電路設計之相關基礎能力，以縮短產學落差以及提升國內晶片設計技術的發展，讓學生能有積體電路及半導體等相關理論兼具實務的知識與技能。為了加強修課學生的榮譽感與產業觀點，課程將導入跨校的競賽與業師的授課，因此規劃了期末友校電機系與本系VLSI課程之小專題競賽以及產業界講師擔任協同授課，讓學生可以更了解VLSI電路本身相關的競爭對象與產業應用。

本課程以「提昇中國文化大學電機學生半導體積體電路設計技術」為執行主軸，目的在以推動電機系半導體教育升級為手段，達成培育半導體產業人才與鼓勵升學為目標。本課程希望利用我國半導體技術上的優勢，在課程中建置VLSI電路設計開發環境，提升系統整合能力並掌握

核心價值，以促使電機系學生能在參與台灣的半導體產業，甚至於未來扮演舉足輕重的角色。藉由本課程能夠培育相關人才，進入學界與業界，使本校學生能在此產業做專業上的發揮，利用本校在地緣優勢的條件下，開創出新的競爭項目，在電子業扮演舉足輕重的角色，提升中國文化大學這個領域上的能見度。

肆、計畫特色及具體內容

為達成課程改善與提升學生學習興趣，本課程內容包含下列五項教學內容：

一、積體電路設計基礎理論

傳統的教學方式以教科書上的簡易電路模型及架構來說明設計電路的方法，可能因為過於單調與艱深，無法提高學生的學習意願，且對於學生的就業準備度也不夠。因此，在講授課程中，除基礎理論教學外，實務晶片設計技巧將以實際模擬與設計的方式實作於課程當中，並且多以實例介紹半導體及積體電路設計基礎觀念。但我們不能忽略基礎理論的建立，只有擁有扎實的理论基礎，才能在未來進入研究所實進行更進一步的研究，所以我會在實作引發興趣的同時，做基礎理論的教學與驗收，確保學習的深度。為達到此教育目的此課程除推薦教科書(CMOS VLSI 設計原理, Neil Weste and David Harris 著, 周世傑譯)外, 亦編寫實作講義(7章)、實習題目(8題)與實作影片(2個), 可參考光碟資料。

二、電路設計實例講授及Hspice積體電路模擬專題實作

在晶片設計領域上，基礎理論的上課難以讓學生對積體電路有更深一步的了解，學生較難具備晶片設計之基礎能力，與未來就業的公司端產生期望的落差。因此，課程中除基礎課程知識的講授之外，實務經驗及專題實作的部分是本課程著重的地方，以實際的電路說明設計理論及模擬驗證，讓學生以漸近式的方式熟悉整體晶片設計下線的全部流程，所有學生均須完成學期實作報告，及CMOS電路相關的閱讀報告做為考核學生吸收程度效果，可參考附錄閱讀報告與學期作業報告。

三、跨校期末專題實作競賽交流

邀請淡江大學電機系江正雄教授參與進行積體電路課程跨校專案競賽，藉由參考它校的教學經驗，快速建立本身的教學能量，並有效的提高文化電機系積體電路設計的能見度，提高學生未來升學的機會；最重要的，以跨校競賽的方式提高參賽同學的榮譽感與學習興趣，可參考附錄期末專題實作報告。

四、業界專家授課

為了進一步增加學生的學習動機與學習興趣，學期中邀請意象無限股份有限公司的資深類比設計工程師擔任業師，以實務的觀點介紹與本課程相關之電路設計與應用領域，從科技產業工程師的角度出發，讓學生了解電路公司的運作模式及相關產業應用，可參考附錄業師心得報告。

姓名	王吉雄
郵件	chwang0327@gmail.com
學歷	國立高雄應用科技大學 電子工程學系 私立淡江大學 電機工程學系 積體電路與計算機系統組 私立淡江大學 電機工程學系 博士班(肄)
經歷	私立淡江大學 兼任講師 意象無限股份有限公司 資深類比設計工程師

五、校外參訪

因課程規劃以實務導向為主，所以將安排企業參訪，帶領學生到英業達科技公司進行校外參訪，讓學生提早了解科技業的情況以及相關工作內容方向，透過公司內部人員解說，讓學生對於學習能更有動機以及更有目標。從學生的反應與晤談當中可以得知同學們皆為正面看待，也提昇了學習效果。



圖二、計畫特色圖

本課程含下列五項教學內容，與傳統教學差異比較如下：

教學內容	傳統教學	申請內容
積體電路設計基礎理論	有 單向式教學	有 主題式互動教學 並提供實習錄影檔供學生預習與複習
電路設計實例講授及Hspice 積體電路模擬專題實作	有 基礎邏輯驗證與模擬	有 增加實習課作軟體教學並設計專案題目
跨校期末專題實作競賽	沒有	有 邀請國內相同課程共同舉行期末競賽
業界專家授課	沒有	有 邀請國內積體電路公司工程師授課
校外參訪	沒有	有 前往英業達科技公司實地參訪

伍、實施成效及影響（量化及質化，且說明是否達到申請時所期之學習目標與預期成效）

本課程依照一學期十八週的教學時程，規畫教學內容，為強化實作能力，每週三小時的教學分為二小時理論教學與一個小時的實習課，進行設計軟體教學，以及晶片製作實務說明，期望在學期結束後，修課的同學能夠完成專案電路的設計與電路佈局；如同學有意願再進一步研究，可以配合國家晶片中心提供的晶片下線服務，進行晶片製作與驗證，並於專題實驗做進一步的專題研究。有志在積體電路領域發展的同學，在畢業前獲得一次完整設計流程的訓練，在將來應徵工作時，提出有利的學習成果，做為佐證資料；另外，有意願升學的同學，在完成此課程後，可延續至專題實驗，繼續更為深入的專案研究，在升學考試前完成一份具備有學術論證與實作驗證的專題報告，提高與增加升學的機會與選擇。

此計畫完成特色教學實驗講義二份的編寫，並錄製實作錄影檔，提供修課學生複習使用。以下就課程教學的質化與量化作一簡要表述

(一) 學習量化方式(修課學生人數：25 人)

計分方式：共 100%

- 期中考 20%
- 期末考 30%
- 學期作業報告 15%
- 平時測驗一次 10%
- 閱讀心得報告 5%
- 業師授課心得報告 0%
- 期末專題競賽 20%

(二)學習質化方面

學習質化方面，透過專題報告，搭配Hspice模擬軟體執行類比積體電路相關案例實作，並將理論與實務做整合，以增加學生的學習動機與學習態度，培養學生實作能力、解決問題的能力。此外課程規劃上亦加入業界講師進行授課，內容偏向產業界專案的開發設計與實務上的觀點做解說，所以從學生的學習態度與問卷心得來看可以達到質化的效果，而且也能學生的學習興趣。由學生的與業師彼此之間的互動性、反應以及報告內容可以看出此課程安排規劃在學習質化方面具有正面的效果。此外，在學期期間帶領學生校外參訪，讓同學提前了解科技業現況，增進學生學習動機，也對未來方向更建立信心。

(三)討論：

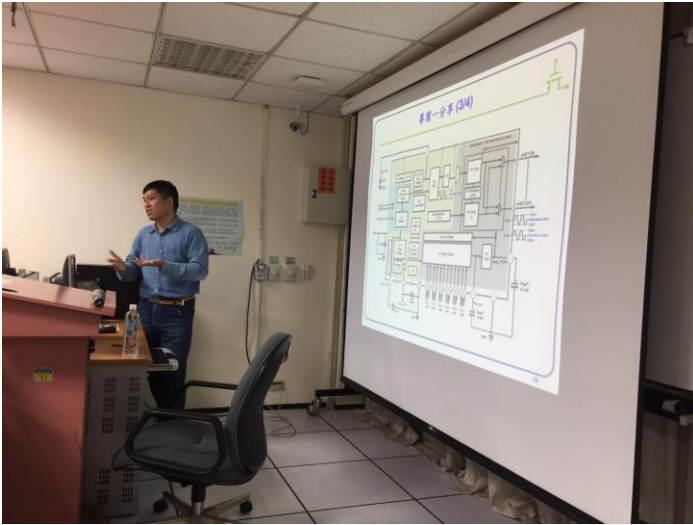
- 以實務為主的課程內容較能引起學生興趣來聽課，所以出席狀況普遍較高，且本課程加入業師授課，讓學生接觸產業界的東西也能提昇同學的興趣。
- 學期作業部分以分組方式進行，因可互相切磋砥礪，修課同學皆全部繳交。
- 心得報告雖然部分學生沒有繳交，不過從其他大部分學生的心得報告中得知，同學們覺得業師授課的方式對於未來不管是唸研究所或是於系統電路相關科技業工作都有很大的幫助，也可以讓學生更了解積體電路設計的相關應用領域，進而提升學習興趣，唯有少數同學覺得較難跟上業師進度。
- 期末競賽報告共有九位同學繳交，但同學並沒有完成整體電路的佈局設計，詢問過其原因後發現，同學反映練習時間不夠，所以競賽的完成度不足。
- 傳統考試如期中、期末考及小考等評分方式，因理論較多；加上每週分出一個小時做實習課程，縮短了原本的理論教學時間，故有不理想的情況發生。在下個年度的教學，須再針對此項議題做修正，可能須提供理論自修導引教材，或是將實習課程以實驗課方式呈現。
- 業師授課心得報告並未計入總成績的分數，主要原因是業師授課是提供學生對業界現況的認識與未來生涯規畫的建議，因此難以作為分數量化與學習成效的評比，評估僅能提供學生學習態度的砥礪作用。

伍、結論

本計畫以CMOS積體電路選修課程提出以實務方式融入傳統教學方式，從學生的實作能力、專題報告、學期測驗等等相關觀察指標來看，的確可以提高學生學習興趣與學習效果，多數學生認同課程應針對未來就業導向作課程規劃，就學習成效而言也達到了不錯的預期結果。另外，業界專家演講與公司實地參訪，亦可幫助學生了解產業現況，並提昇業界需求之專業能力，大多數學生對CMOS積體電路設計有更深入的了解，也在期待在未來畢業後，進入職場工作能快速進入狀況，面對工作的挑戰。整體而言，此課程的安排與教學，的確可以提供學生正面的幫助。但是因在理論正課時間加入實驗與實習相關的實務內容，造成進度上頗為吃緊，雖然學生可學習更多實務內容，但可能有練習不足的疑慮；在未來，若是系上學分分配允許，可爭取開設佈局相關的實驗課，讓學生可以同時有足夠的時間學習理論與實務；或是將部分理論內容改為預習與討論的方式，以提高學習效率。

陸、執行計畫活動照片

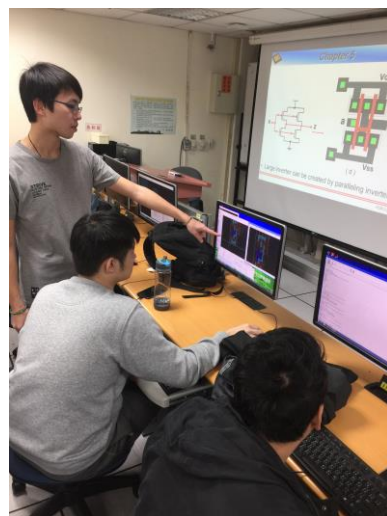
業師授課



企業參訪



教學現況



柒、附件

甲、業師演講投影片(請參考光碟)

乙、自製教材(請參考光碟)

1.VLSI實驗教學講義(7章)

- Linux
- Virtuoso
- Hspice
- Calibre

- Post Layout Simulation
- PAD
- Spectre

2. VLSI 實驗練習 (8 題)

- | | |
|---------------------|----------------------|
| ■ Bounce | ■ Schmitt Trigger |
| ■ Inverter | ■ DFF |
| ■ MOSCAP | ■ 2 to 4 Decoder |
| ■ Transmission Gate | ■ Ripple Carry Adder |

3. 軟體教學錄影檔 (2 個)

- 電路佈局 (Layout)
- 電路設計與模擬 (Schematic+Hspice)

丙、作業抽樣

(一) 業師演講心得報告 (A6247329 電機3A 盧詠立)

CMOS 心得報告

這次的演講內容，主要都是講解做這一行職業需要哪些學歷、多少時間，以及過程中會遇到甚麼困難等種種問題。讀這一行到底要不要念研究所，我覺得從時代來看是需要研究所這個學歷的，雖然那個講師說也有別系來做 layout，但那是他們那個年代的事了，現在的好公司可能都直接看你的學歷，念這一行的最講求耐心，所以念研究所可能不單單只是念兩年就能畢業，這也是告訴我們一個忠告，真的看到電路不會感覺到無聊的再來唸研究所，還有要非常有耐心。演講內容中我們有看到他公司她的計畫跟學術界差的有點多，完全是不同等級的，而且還是算小公司的計畫，光看到這些我就不覺得這不會是一個大學畢業能做的了的計畫，內容幾乎都是很多不同元件組合起來的東西，而他也說到一個元件就幾乎可以做一個論文了，意思就是說有些連講師可能也聽過而已，所以這就考驗你對問題解決的能力了，公司愛用研究所畢業也不是沒有原因，因為研究所就是在幫你訓練這個能力，過程中也有聽他講幾位他同學畢業後的薪資，幾乎都不少，但相對付出的都不少，可能連生活品質都沒了，結論就是一樣的東西但薪水五萬準時上下班，跟一個薪水更高但瘋狂加班，看你如何選擇你的人生，還有想走這條路會遇到的瓶頸，往往花的時間都不是沒結果，而是在等實驗，所以做 IC 的在走這條路之前就要有心理準備，你所需的時間比一般人的時間都還要長。這個演講對我來說幫助很大，因為我也是未來想往這個領域發展，對未來的規畫有很大的參考價值，希望藉由聽完這次演講，

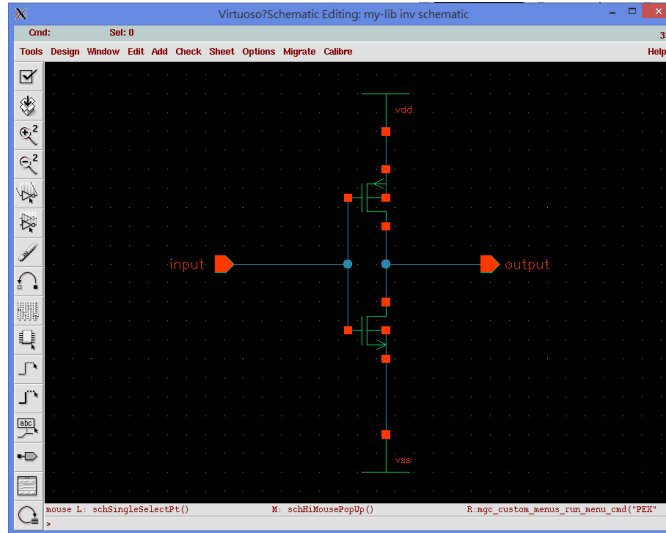
能讓我對未來走的路更明確，並可以專精在自己喜歡的領域上，有效發揮到最大化，現在進電機系剛邁入第三年了，我終究是只有對電路有興趣，所以對 IC 有興趣，我的大學目標就是至少可以把一樣領域學到很專業，不管未來如何，都希望可以用上而且很開心的工作，這才是我要的。

(二) 學期作業

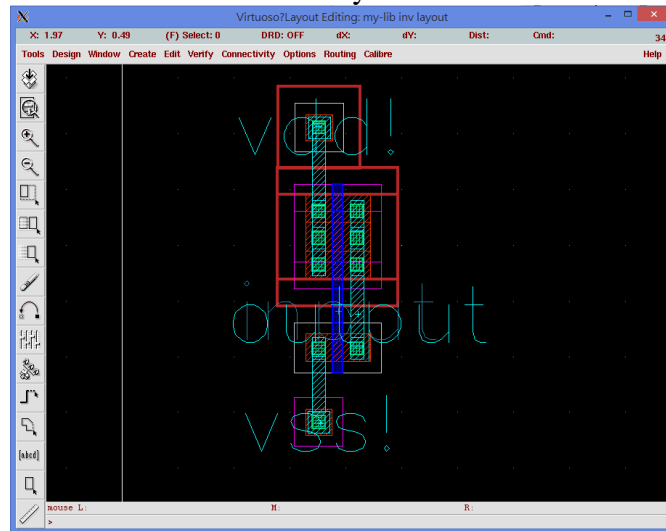
課程	姓名	學號	系級
學期作業	簡仁富	A6247582	電機 3B

INV

inv Schematic:

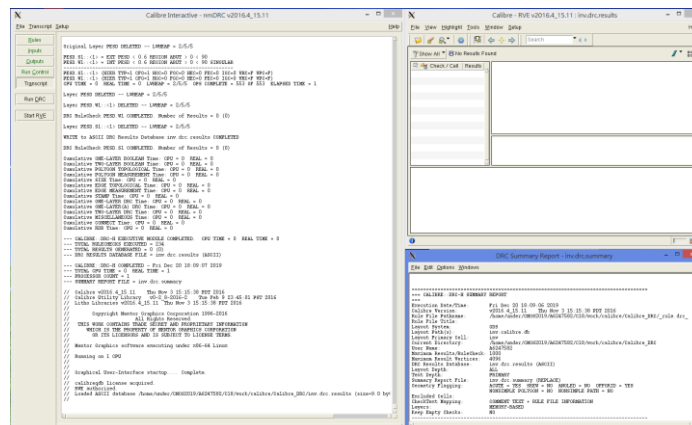


inv Layout:

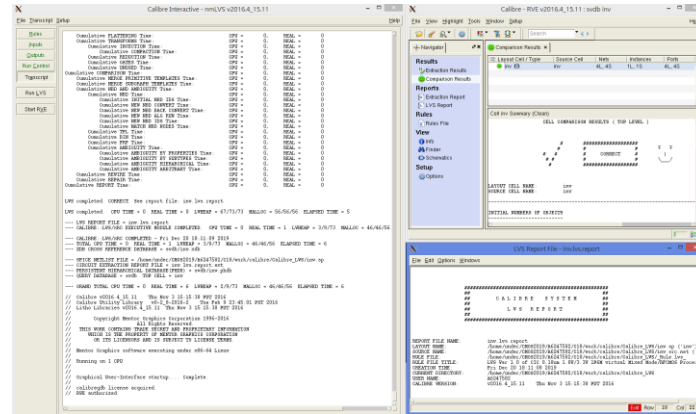


Simulation:

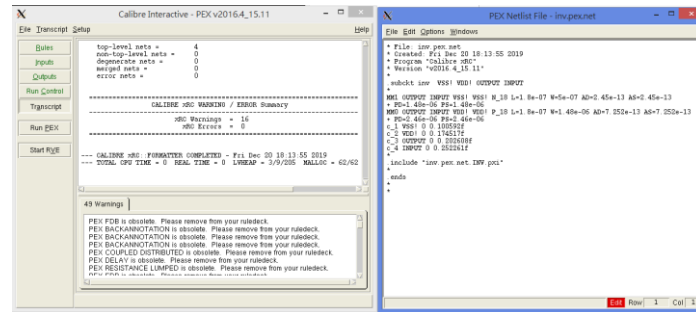
inv DRC:



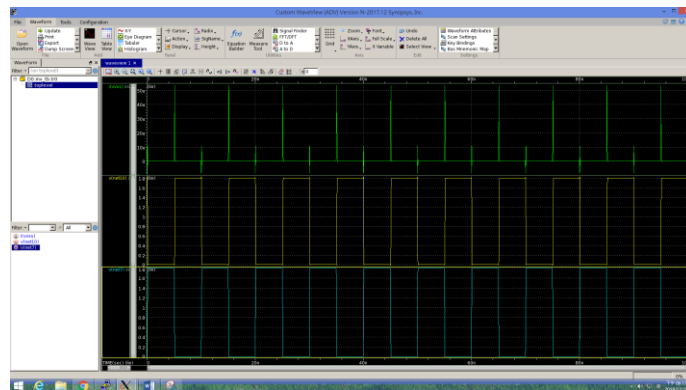
inv LVS:



inv PEX:



inv 波形圖:



Inv_tb.sp:

```
inv_tb.sp (-/C18/work/spice) - gedit
File Edit View Search Tools Documents Help
New Open Save Print Undo Redo Cut Copy Paste Find Replace

inv_tb.net  inv_tb.sp
*** inv test bench ***
CLABEL gnd1 vss1 vss1
define post list method1 method2
.lib ./../work/c18i1811/ tt
.inc "inv_tb.net"

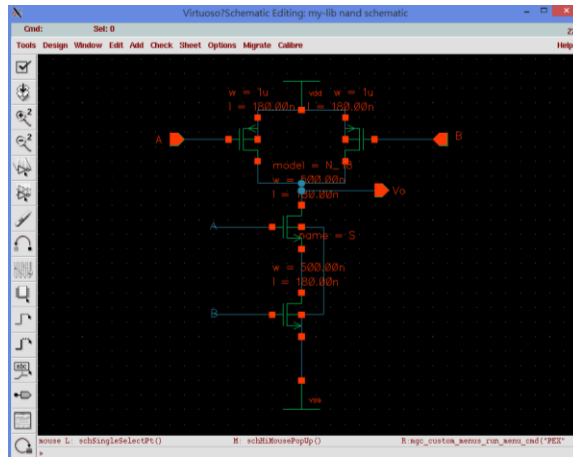
CDD net10 vss1 if $ICF
K10 net7 net10 / inv

vss1 net7 vss1 pulse 0 1.8 0 0.1n 0.1n 4.9n 10n
vss1 vss1 0 1 0
vss1 vss1 0 0

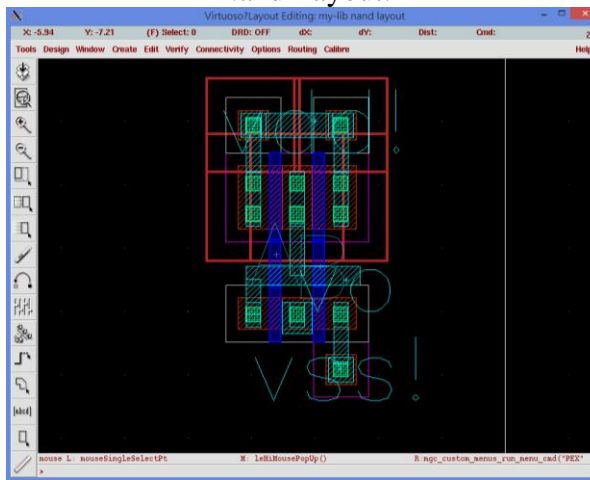
.tran 0.1n 100n
probe tran vinv7 vinv10 i(i1.w) i(vss)
end
```

NAND

Nand Schematic:



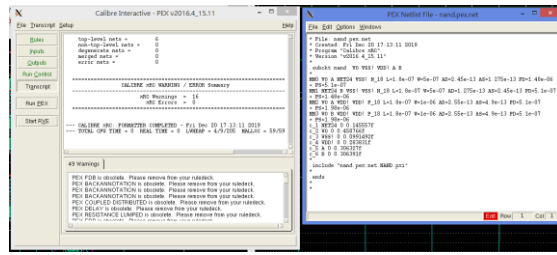
Nand Layout:



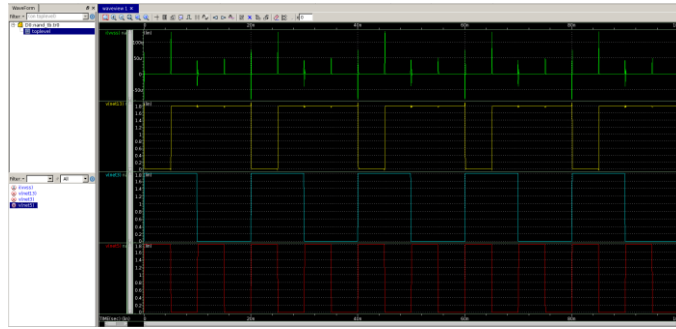
Nand DRC:

Nand LVS:

Nand PEX:



Nand 波形圖:



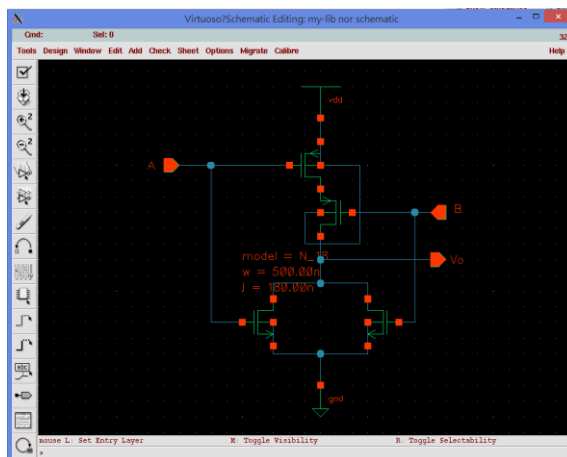
Nand_tb.sp:

```

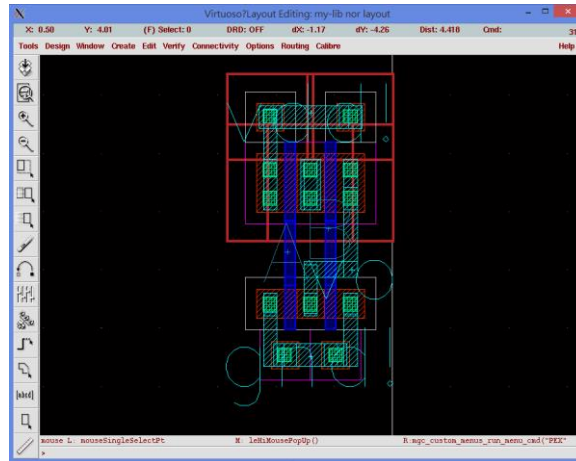
nand_tb.sp (-C18/work/spice) - gedit
File Edit View Search Tools Documents Help
New Open Save Print Undo Redo Cut Copy Paste Find Replace
nand_tb.sp nand_tb.sp nand_tb.sp
*** Test bench
GLOBAL gnd vss1
define post1 list primed1 method-guar
lib "*/models/c11018.1" tt
inc "nand_tb.net"
CC0 net13 vss1 1f $(CP)
R30 net15 net13 / nand
wv1 net5 vss1 pulse 0 1.8 0 0.14 0.34 0 4 0n 10n
wv2 net7 vss1 pulse 0 1.8 0 0.14 0.24 0 9 0n 20n
vdd vdd1 0 1.8
vss vss1 0 0
tran 0 50n 100n
probe Tran v1net5 v1net7 v1net13 v1x1 wv1 i(vss1)
end
    
```

NOR

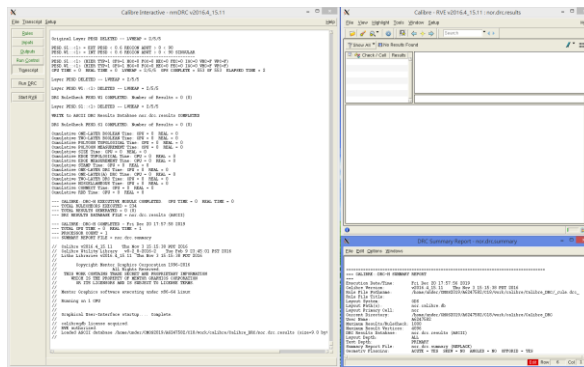
NOR schematic:



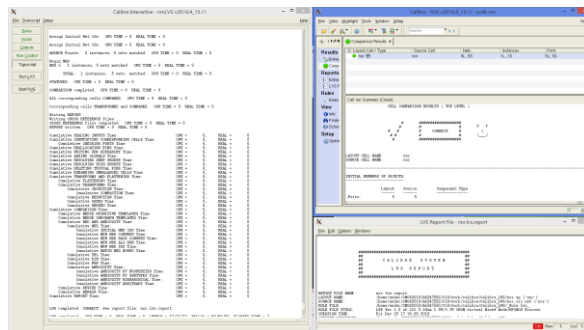
NOR layout:



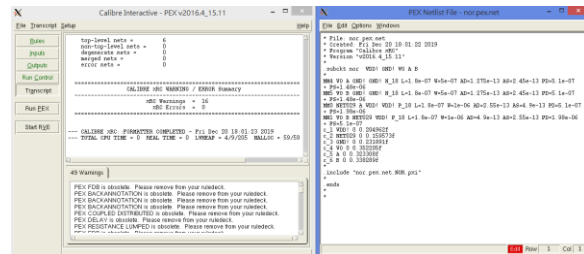
NOR DRC:



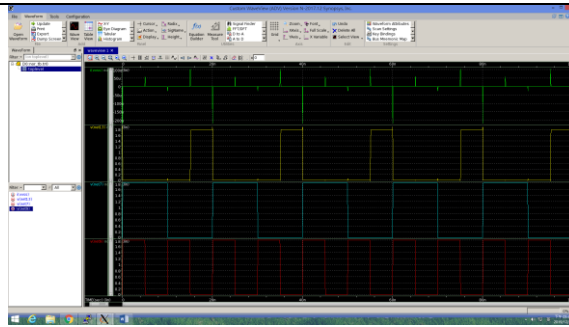
NOR LVS:



NOR PEX:



NOR 波形圖:



NOR_tb.sp:

```

nor_tb.sp:
*** Inv Test bench
#100ns gate delay test
*action post sim probe=1 netlist-gate
lib -r /home/.../models/...
inc 'nor_tb.sci'
CSD net13 vout1 1f $100
CSD net19 vout2 1f $100
vout1 net13 vout1 pulse 0 1.0 0 0.5n 0.5n 4.0n 20n
vout2 net19 vout2 pulse 0 1.0 0 0.5n 0.5n 4.0n 20n
vout vout1 0 1.0
vout vout2 0 0
tran 0 10ns 100ns
probe tran vout1 vout2 vout1 vout2 vout1 vout2
end
    
```

實驗心得

這次學期作業做了 INV、NAND、NOR 的 Schematic+Layout+Simulation，這學期選了 cmos 積體電路收穫良多，了解到 mos 各種特性和 layout 方法。

日期

2019/12/22

(三)英文閱讀報告

(a) 課程	姓名	學號	組別
CMOS	蔡文傑	A6247299	X
實驗內容			
Science and Engineering Beyond Moore's Law			
<p>本文介紹了 Moore's law 對 CMOS 技術的影響，研究了它的局限性，並考慮了 CMOS 和後續技術的某些可能的未來途徑，目的是鼓勵人們對可能的未來信息處理技術的發展進行徹底的重新思考。</p> <p>Moore's law 是由 Intel 創始人戈登·摩爾提出所出的。內容是說：積體電路上可容納的電晶體數目，每隔兩年便會增加一倍；經常被參照的「18 個月」，是由 Intel 執行長 David House 所提出：預計 18 個月會將晶片的效能提高一倍，是一種以倍數增長的觀測。</p> <p>半導體行業大致按照 Moore's law 發展了半個多世紀，對二十世紀後半葉的世界經濟增長做出了貢獻，並驅動了一系列科技創新、社會改革、生產效率的提高和經濟增長。個人電腦、網際網路、智慧型手機等技術改善和創新都離不開 Moore's law 的延續。但是「Moore's law」的時代將會結束，因為研究和實驗室的成本需求十分高昂，而有財力投資在建立和維護晶片工廠的企業很少。而且製程也越來越接近半導體的物理極限，將會難以再縮小下去。</p> <p>本文回顧了 Moore's law 對半導體技術的歷史影響和好處，並提出可以通過幾種不同的方式延續通過特徵尺寸縮放獲得的對社會有利的快速學習曲線。問題在於，隨著特徵接近幾納米的範圍，基於電子的器件會從理想的開關中完全脫離出來，實際上在斷開狀態下會變得非常漏電。有人認為，存在一些短期解決方案，其中包括更高程度的並行製造，更高的設計效率和更低的封裝技術，這些技術可能會延續陡峭的學習曲線以降低成本，而這過去一直是通過 Moore's law 來實現的。另一種選擇可能是通過集成提供更廣泛的芯片功能的設備（包括傳感器，能源，振盪器等）來增加芯片功能。第三種選擇是使用電子，基於不同的物理學發明一個全新的信息處理狀態變量自旋，磁偶極子，光子等，以改善性能並減少其最小特徵在幾納米量級的設備的開關能量。這些替代方案中的每一個都在積極探索中，並且在本文中概述了每種策略和迄今為止的進展。本文提供的最終替代方案是從自然界中的信息處理示例中學習，尤其是在生命系統中。一個約一立方微米體積的大腸桿菌細胞顯示出了強大而強大的能力</p> <p>相對於相同體積的縮放終端矽處理器性能而言的節能信息處理器。本文最後指出了大腸桿菌信息處理與傳統方法之間的一些關鍵差異，並希望可以利用生物系統提供的提示來發明出新技術。</p> <p>過去 50 年中，一項傑出的技術成就是集成電路。在對材料和固態電子學進行了數十年研究的基礎上，從傑克·基爾比和羅伯特·諾伊斯的開創性工作開始，集成電路的能力呈指數級增長。作為 Moore's law 的法律，集成電路技術已經並且將繼續對社會產生變革性的影響。本文努力描述互補金屬氧化物半導體（CMOS）技術的 Moore's law，研究其局限性，考慮 CMOS 未來的一些替代途徑，並討論有關後續 CMOS 技術的最新建議。本期以編輯指南的精神，對活細胞作為信息處理器進行了分析，並對其性能進行了估算。為了進行比較，假設採用等體積的 CMOS 單元，並配備了超大規模的技術，並且會生成性能估計。跡象表明，活細胞的設計和運行方式使其相對於比較 CMOS 電池的性能特別節能。提供該分析的期望是，它將鼓勵對可能的未來信息處理技術進行徹底的重新思考。</p> <p>特徵尺寸縮放為 CMOS 技術提供了非常陡峭的學習曲線，從而幫助創建了特徵驅動的市場。儘管有令人信服的物理論點認為必須對 CMOS 進行物理縮放，但隨著新材料，新工藝和器件結構的出現，Moore's law 的好處似乎還會持續一段時間。隨著新功能與更傳統的信息處理和通信功能的結合，CMOS 技術的應用空間很可能會繼續快速增長。同時，正在進行大量研究，以尋找 CMOS 技術的替代品，這些替代品有可能將 Moore's law 擴展的好處擴展到未來數十年。有人指出，目前有很多選擇，但是還沒有一對一的 CMOS 技術替代品。替換選項最終可能會被確定，但是似乎有一種可能的情況是，這項研究將產生具有可以與 CMOS 技術集成以提供獨特功能或替換的功能的設備。</p> <p>基於新型器件的具有特殊用途結構的 CMOS 模塊。也可能是對架構和支持技術的徹底重新思考將導致信息處理技術的顯著改進。提供了生物電池和矽電池之間的比較分析，以激發人們對替代方案的思考。當生物電池完成創建其自身副本的複雜任務時，它使用的細粒度工藝，設備和體系結構完全不同於現有的 CMOS /馮·諾依曼範式，並且具有更高的能源效率。也許，自然界信息處理器的設計可以激發無機信息處理領域的重大突破。由於社會所享有的好處，現在有很大的動力可以維持 Moore's law 再十年。實現這一目標面臨著巨大的挑戰，科學家和工程師的創造力也面臨著巨大挑戰。儘管沒有明確指出前進的道路，但有許多跡象表明，在可預見的未來，沒有任何無法克服的障礙會阻礙信息處理技術的進步。</p>			
日期	2019/11/7		

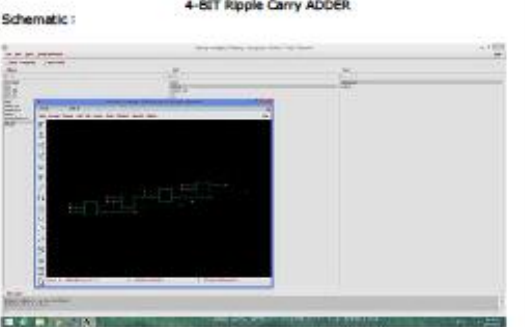
(四)期末競賽

文化電機

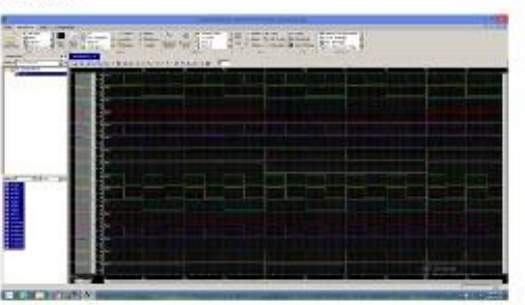
職能	姓名	學號	級別
CMOS 積體電路	游承恩	A6247248	

報告內容


Schematic:
4-BIT Ripple Carry ADDER



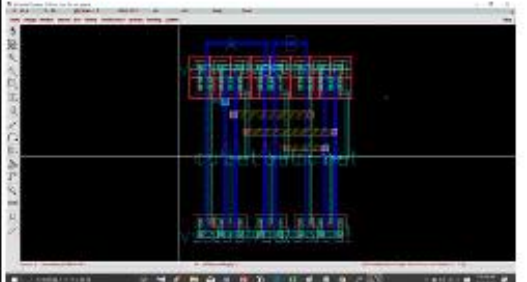
Simulation:




Schematic (3D):



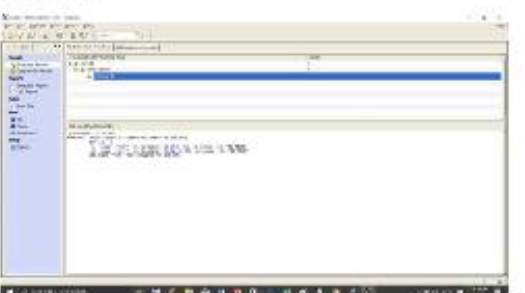
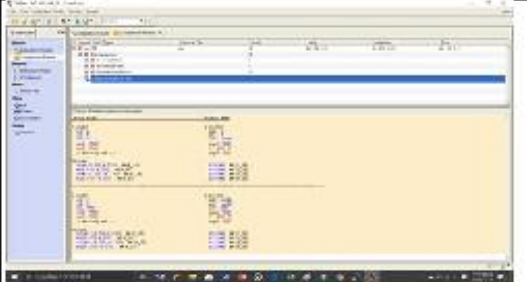

Layout (3D):



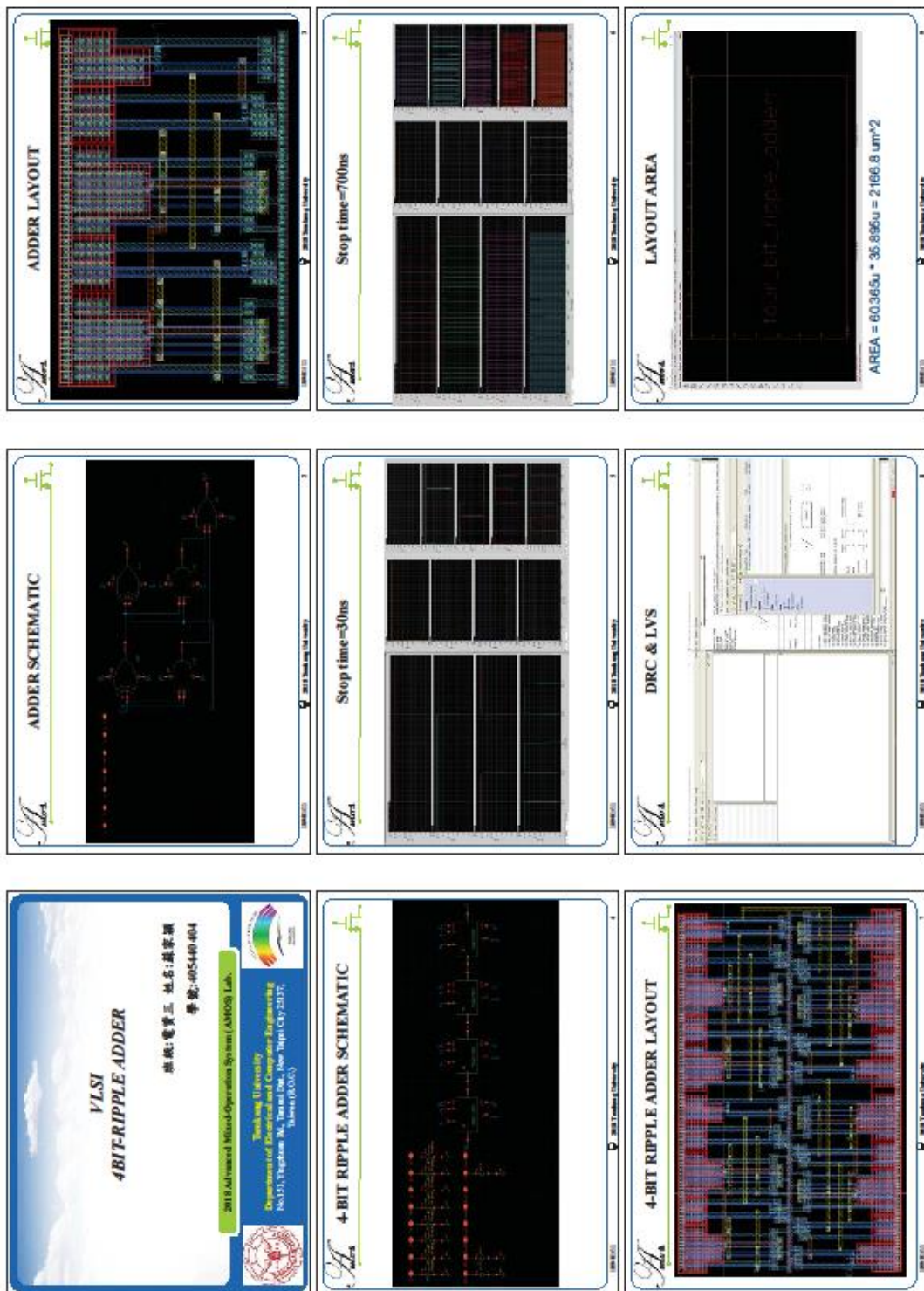
DRC:



LVS (error):

日期 | 2020/1/12



備註：

1. 本報告書大綱得視需要自行增列項目。
2. 成果報告書須另以光碟儲存，並另附加執行計畫活動照片電子檔(照片原始檔)。