

## 中國文化大學教師教學創新暨教材研發獎勵期中成果報告書

### 計畫名稱：提升本校積體電路設計人才計畫

#### 壹、實施課程、授課教師姓名

課程名稱：硬體描述語言(授課內容為積體電路設計(IC)設計程式與其驗證的訓練)

授課教師：夏至賢 副教授

#### 貳、計畫緣由與目的

全球積體電路(Integration Circuits, IC)設計(以下簡稱為 IC 設計)產業新世代成長動能,配合行政院新世代醫療、綠能、3C 及車用電子(Medical, Green + 4C(Computer, Consumer, Communication, and Car))人才發展計畫的到來, IC 設計成為未來半導體技術的重要指標,因半導體製程技術發展快速,許多 4C 系統產品已可輕易集中濃縮於單一晶片來實現,其 4C 產品可視為臺灣未來產業發展的方向。近年來,微 IC 設計界最熱門的話題就是嵌入式電路設計,將常用到的電子電機控制電路,以硬體描述語言做模擬設計,當電路設計需要用到之前已設計完成的電路模組,就可以快速地將模組包含入電路主體,此設計理念可以大大提升電子電路設計研發的速度,因而造

就近年來 IC 設計公司在矽智財供應鏈的商機。IC 設計早期是利用人工繪圖的方式進行，由於電腦技術的進步，目前已經達到電子設計自動化 (Electronic Design Automation, EDA) 的要求，以「電腦軟體」來設計「積體電路(IC)」；我們將這種利用電腦的協助來設計 IC 的方式稱為電腦輔助設計 (Computer Assisted Design, CAD)。系統單晶片(System on a Chip, SoC)將分散式的多晶片設計架構，整合成單一一個晶片，如此可以大大降低系統生產的成本。硬體描述語言雖然可以加快設計時程，但是整個電子系統開發程序仍然太過費時。如何能創造出更快速的電子電路設計方法，甚至方便到能讓沒有 IC 設計專業技能的工程師也能輕鬆快速的使用嵌入式系統設計，是本課程最關鍵的地方。

將常用的邏輯電路設計，先行以 Verilog 硬體描述語言做模組化設計，當 IC 設計需要用到現有的電路模組時，就可以快速地將現有的電路模組含括入 IC 裡面。系統單晶片概念則是將電子系統中多個 IC 設計架構，整合成單一 IC，如此，可以大幅降低系統開發成本。

因為此校內獎勵的影響，故本人在課程上以「創造文化學生於 IC 設計技術」的提昇為執行主軸，目的在以推動 IC 產業升級為手段，達成建立文大 IC 設計人才為目標，並以下兩個觀點來看：

第一，本課程希望利用我國數位電路設計的優勢，開創以知識經濟為基礎的設計創新行業，並建置嵌入式軟硬整合晶片設計環境，提升系統整合能

力並掌握核心價值，以促使文化學生能在全球半導體與資訊產業扮演舉足輕重的角色。

第二，臺灣學術界，一般傳統大學(如臺大、清大、交大、成大、中大、淡大、逢甲、長庚、等名校)長久以來打入 IC 設計的領域，開發出不少相關人才。因此以本校列為臺灣傳統大學之一的歷史地位來看，也需要培育相關人才在學界與業界，使本校學生能在此產業做專業上的發揮，開創出新的設計優勢，從而在世界半導體、資訊電子業扮演舉足輕重的角色，以提升中國文化大學在 IC 設計領域上的能見度。

### 參、計畫特色

其課程除了與以往講課的方式相似外，本人在電子教材上與授課教學上分別有兩種創新的作法：

在電子教材方面，此課程電子講義除了參考授課用書，本人也自編許多數位內容使得學生較容易理解與吸收其專業知識(即設計圖、表分析法)；另外本課程的設計也一併考量教育部與臺灣積體電路設計學會每年所舉辦的全國性競賽「全國大專生積體電路設計競賽」中所使用的設備，所以本人利用部分計畫採購相同設備，除了在考量學生研究需求外，修課全班約十五位的學生亦可輔導參加此年度大賽以增加本校在相關領域的能見度。

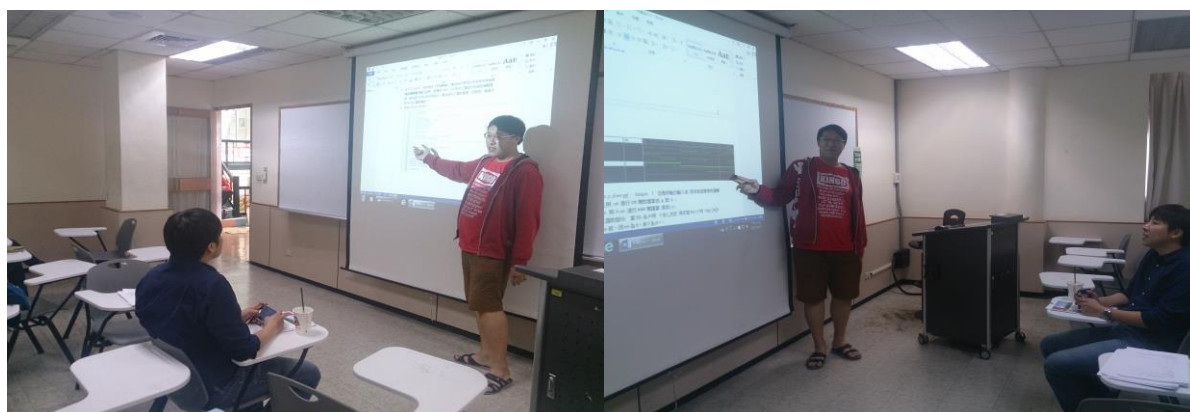
在授課技巧方面，本人希望能引發學生對於其專業課程的學習對於研究所升學與就業的動機，所以在課程第三周邀請校外相關領域專家(新思科技

張智越 顧問，如圖一)分享該科(硬體描述語言)對於升學與工作的影響並啟發學生學習動機。由學生的心得報告中，明顯得知同學對於此課程對於未來的幫助很有想法。另外，演講後也有諸多學生與本人討論研究所升學事宜。除此之外，本人也嘗試以翻轉教室的概念在整學期中挑選三次嘗試，如圖二，主要是想利用此機會，讓學生主動與積極的讀書風氣來影響文大學生主動學習拼勁。最後，學期末本人安排學生閱讀國內外期刊論文並作實現，在期末利用此機會培養學生講台表達技巧與實作技術上碰到問題的分

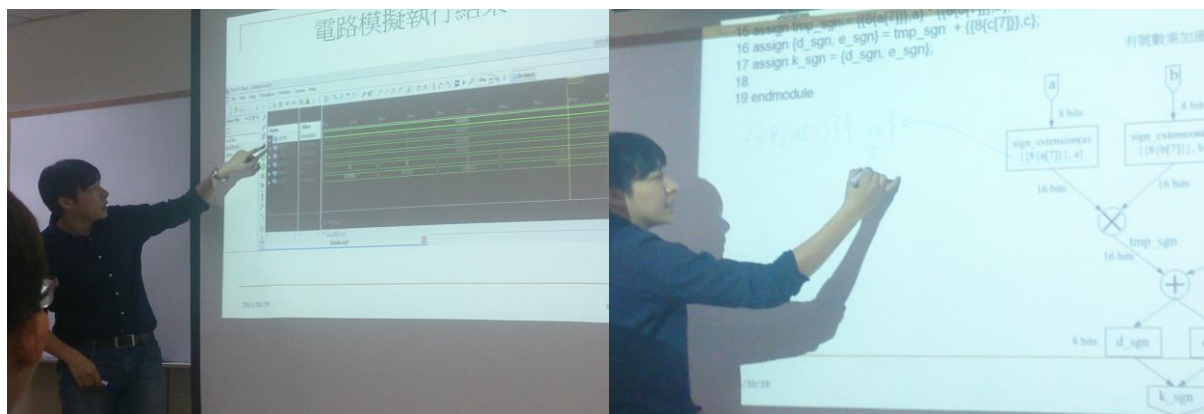




圖一、邀請業界人士演說







圖二、嘗試以翻轉教室的方式授課(抽點學生個別上台授課，本人與學生教授後並與以糾正觀念與理論推倒)本人為藍色衣服；學生為紅色衣服者

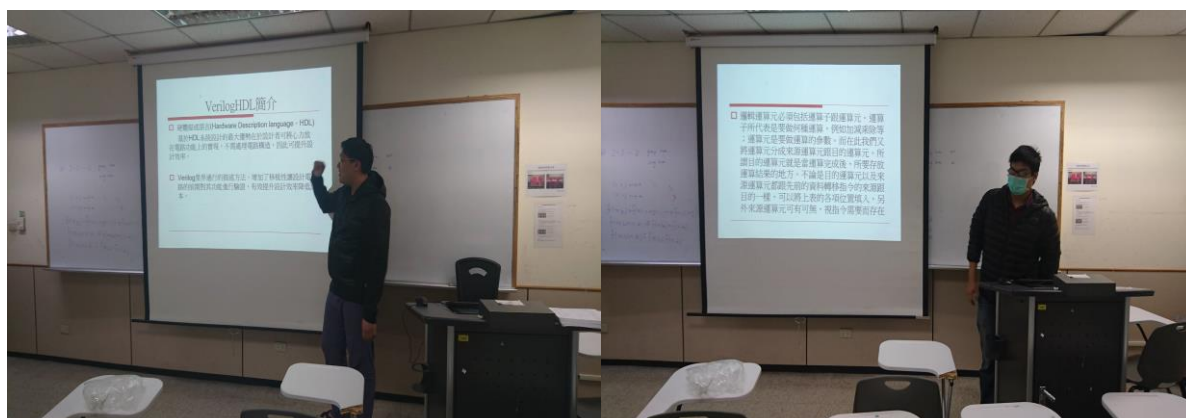
#### 肆、執行方法

本課程規劃透過一般授課、現場實作並馬上由老師指導、以及應用專題導向，以做中學(Learning by doing)之模式，培養學生跨領域應用設計能力。為協助學生跨領域知識及跨領域專題實作能力之養成，修習本課程前需曾修習過其它的專業課程，本人再引導將過去專業的經驗利用 IC 設計的方式來實現在現在的應用中，以培養跨領域應用之 IC 設計人才。

#### 伍、計畫可行性

因為本課程未來作業與期末專題須以國內外期刊論文為參考的觀點，並結合過去的專業知識。最後在本課程學期末時，舉辦學生期末報告(以專題之實作成品展示並報告等相關發表)，如圖三所示。目前將挑戰的問題在於學生論文的英語閱讀以及口頭表達能力。以上兩項的改善方式，第一，

論文的選擇可依據學生們的專業英語興趣自由選擇有把握閱讀的題目，以培養開發其專案後的自信心，本人也會於期中開始請學生閱讀，其間開放 office hours 給學生來討論文中英語的意義與文法等問題。第二，口頭表達能力是需要有舞台與經驗的累積，該科課程會因為時間有限的關係只能於期末才有機會上台報告，所以在課程教學中，本人會不時引導並分享其報告經驗與技巧；另外，班上近四分之一為本人的專題生，在每個星期的開會報告中也會以機會教育的方式促使學生在此問題上的解決。



圖三、學生期末專題報告

如圖四，本人除了與一般老師們有作業、出席、以及期末專題報告外，另開創一個來測驗並對於學生甄試再繳交書審文件時有幫助的方式，即邀請本科該領域國際級的 Xilinx 公司於期末前以當天上課抽題目給同學現場實作，若在時間內完成者，會發相關研習證書以茲鼓勵，也因為此項為鼓

勵性質並觀察學生學習成效。



圖四、上機研習證書考試

## 陸、管考機制

本學期課程評估方式如下：期末成品成績: 30%(其中包含書面報告、程式實作、作品展示、口頭報告的訓練與評比)；平時實作成績: 50%，其中包含書面報告、程式實作、學期五次作業的訓練與評比；出席成績: 10%；期末考 10%。

## 柒、其他補充資料

### 104 學年度第一學期課程大綱

課程計分: 期末成品成績: 30%、作業成績: 50%、出席成績: 10%、期末成績: 10%

預修科目: 邏輯設計、數位系統設計、計算機概論、程式語言與實習

上課用書: 鄭羽伸 編著, Verilog 數位電路設計範本寶典-基礎篇, 2006 年 9 月初版.(儒林圖書)

參考用書: 鄭群星 編著, Xilinx FPGA 數位電路設計, 2010 年初版.(全華圖書)



週次	日期	內容	作業或報告
1	9/14	課程介紹、分組	
2	9/21	硬體描述語言簡介、ISE 軟體使用教學	
3	9/28	<b>教師節放假乙次</b>	
4	10/5	Verilog 電路模組架構及運算子使用方法	
5	10/12	業界師資 新思科技技術應用顧問 張智越	繳作業 1: Ex. 1-1, 1-3, 1-4
6	10/19	Verilog 電路模組架構及運算子使用方法	
7	10/26	Verilog 行為模式描述及代表性循序指令	繳作業 2: Ex. 1-5, 1-10, 1-11
8	11/2	Verilog 行為模式描述及代表性循序指令	
9	11/9	業界師資 新思科技技術應用顧問 張智越	
10	11/16	Verilog 循序電路設計	繳作業 3: Ex. 2-7, 2-11, 2-13
11	11/23	業界師資 新思科技技術應用顧問 張智越	
12	11/30	Verilog 循序電路設計	
13	12/7	Verilog 循序電路設計	
14	12/14	Verilog 循序電路設計	繳作業 4: Ex. 3-12, 3-14, 3-15
15	12/21	Verilog 有限狀態機設計	
16	12/28	期末成品與報告	繳作業 5: Ex. 3-17, 3-18, 3-19 繳期末報告
17	1/4	期末研習證書考試	繳期末報告
18	1/11	<b>期末考週</b>	